

**KOREAN INDUSTRIAL
PROPERTY OFFICE**

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial Property Office.

Application Number: 10-2003-0018304

Date of Application: 24 March 2003

Applicant(s): Fairchild Korea Semiconductor Co., Ltd.

21 November 2003

COMMISSIONER

PATENT APPLICATION

| | |
|--|---|
| [Document Name] | Patent Application |
| Application Type] | Patent |
| [Receiver] | Commissioner |
| [Reference No.] | 0021 |
| [Filing Date] | 2003.03.24. |
| [IPC] | H01L |
| [Title] | Inverter Circuit Including Switching Device to be Driven by High Voltage Integrated Circuit |
| [Applicant] | |
| Name: | Fairchild Korea Semiconductor Co., Ltd. |
| Applicant code: | 1-1999-025205-6 |
| [Attorney] | |
| Name: | Young-pil Lee |
| Attorney's code: | 9-1998-000334-6 |
| Reg. No. of General Power of Attorney: | 1999-049858-3 |
| Name: | Sang-bin Jeong |
| Attorney's code: | 9-1998-000541-1 |
| Reg. No. of General Power of Attorney: | 1999-050077-7 |
| [Inventor] | |
| Name: | Byoung-chul Cho |
| I.D. No. | 761014-1552618 |
| Zip Code | 500-080 |
| Address: | 352-4, Usan-dong, Buk-gu, Gwangju Metropolitan City, Republic of Korea |
| Nationality: | Republic of Korea |
| [Inventor] | |
| Name: | Byoung-ho Choo |
| I.D. No. | 740125-1675717 |
| Zip Code | 138-229 |
| Address: | 2Fl., 211-22, Jamshilbon-dong, Songpa-g, Seoul, Republic of Korea. |
| Nationality: | Republic of Korea. |

[Inventor]

Name: Bum-seok Suh
I.D. No. 661005-1009311
Zip Code 420-020
Address: 825-603, Podo Maeul, Joong-dong, Wonmi-ku, Puchon,
Republic of Korea.
Nationality: Republic of Korea.

[Application Order] We respectively submit an application according to Art. 42 of the Patent Law and request an examination according to Art. 60 of the Patent Law, as above.

Attorney
Attorney

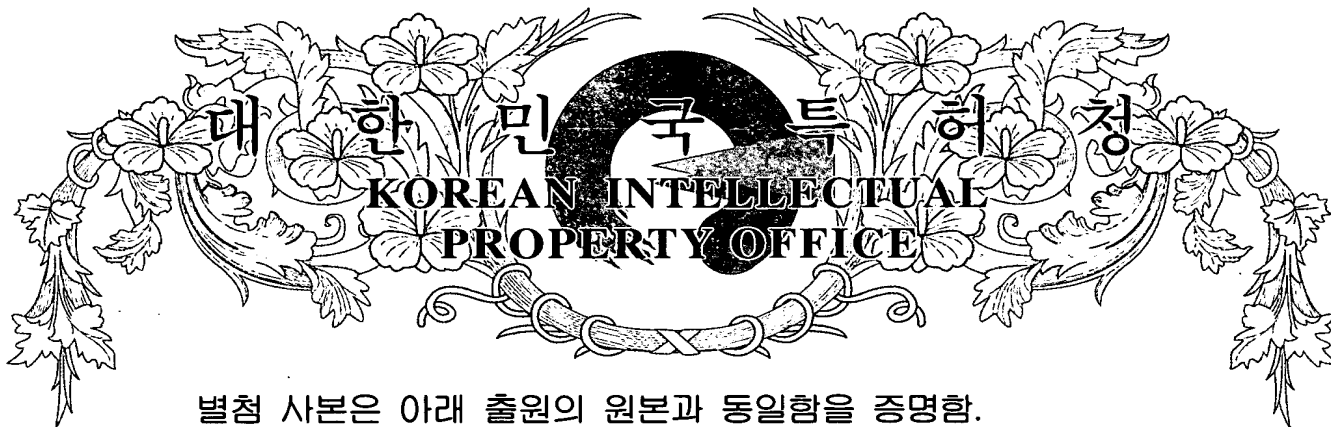
Young-pil Lee (seal)
Sang-bin Jeong(seal)

[Fee]

| | | |
|------------------------|-------------|------------|
| Basic page: | 20 Sheet(s) | 29,000 won |
| Additional page: | 50 Sheet(s) | 50,000 won |
| Priority claiming fee: | 0 Case(s) | 0 won |
| Examination fee: | 0 Claim(s) | 0 won |
| Total: | | 79,000 won |

[Enclosures]

1. Abstract and Specification (and Drawings) 1 copy each



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0018304
Application Number

출원 년 월 일 : 2003년 03월 24일
Date of Application MAR 24, 2003

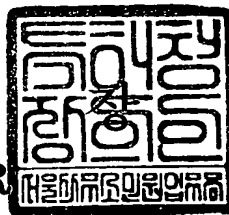
출원인 : 페어차일드코리아반도체 주식회사
Applicant(s) FAIRCHILD KOREA SEMICONDUCTOR LTD.



2003 년 11 월 21 일

특 허 청

COMMISSIONER





【서지사항】

| | |
|------------|---|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【참조번호】 | 0021 |
| 【제출일자】 | 2003.03.24 |
| 【국제특허분류】 | H01L |
| 【발명의 명칭】 | 고전압 집적 회로에 의해 게이트가 구동되는 스위칭 소자를 포함하는 인버터 회로 |
| 【발명의 영문명칭】 | Inverter circuit including switching device to be driven by high voltage intrgrated circuit |
| 【출원인】 | |
| 【명칭】 | 페어차일드코리아반도체 주식회사 |
| 【출원인코드】 | 1-1999-025205-6 |
| 【대리인】 | |
| 【성명】 | 이영필 |
| 【대리인코드】 | 9-1998-000334-6 |
| 【포괄위임등록번호】 | 1999-049858-3 |
| 【대리인】 | |
| 【성명】 | 정상빈 |
| 【대리인코드】 | 9-1998-000541-1 |
| 【포괄위임등록번호】 | 1999-050077-7 |
| 【발명자】 | |
| 【성명의 국문표기】 | 조병철 |
| 【성명의 영문표기】 | CH0,Byoung Chul |
| 【주민등록번호】 | 761014-1552618 |
| 【우편번호】 | 500-080 |
| 【주소】 | 광주광역시 북구 우산동 352-4번지 |
| 【국적】 | KR |
| 【발명자】 | |
| 【성명의 국문표기】 | 추병호 |
| 【성명의 영문표기】 | CH00,Byoung Ho |
| 【주민등록번호】 | 740125-1675717 |



1020030018304

출력 일자: 2003/11/27

【우편번호】 138-229
【주소】 서울특별시 송파구 잠실본동 211-22 2층
【국적】 KR
【발명자】
【성명의 국문표기】 서범석
【성명의 영문표기】 SUH, Bum Seok
【주민등록번호】 661005-1009311
【우편번호】 420-020
【주소】 경기도 부천시 원미구 중동 포도마을 825-603
【국적】 KR
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인
이영필 (인) 대리인
정상빈 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 50 면 50,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 0 항 0 원
【합계】 79,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명의 인버터 회로는, 게이트 단자로 입력되는 게이트 제어 신호에 대응되는 스위칭 동작을 수행하여 입력되는 직류 전원을 교류 전원으로 변환하여 출력시키는 스위칭 소자와, 이 스위칭 소자의 게이트 단자로 게이트 제어 신호를 입력시키는 고전압 집적 회로와, 고전압 집적 회로가 게이트 제어 신호를 발생하도록 하는 제어 신호를 고전압 집적 회로로 입력하는 컨트롤러와, 고전압 집적 회로의 고전압측 영역에 에너지를 전달해주는 부트스트랩 회로, 및 고전압 집적 회로 및 스위칭 소자의 일 단자 사이에 배치되어 고전압 집적 회로의 고전압측 전압 강하량을 감소시키는 임피던스 셀을 구비한다.

【대표도】

도 4

【명세서】

【발명의 명칭】

고전압 집적 회로에 의해 게이트가 구동되는 스위칭 소자를 포함하는 인버터 회로{Inverter circuit including switching device to be driven by high voltage intrgrated circuit}

【도면의 간단한 설명】

도 1은 종래의 인버터 회로의 일 예를 나타내 보인 회로도이다.

도 2는 도 1의 고전압 집적 회로의 입력 신호와 래치 온 및 래치 오프가 각각 발생하였을 경우에서의 출력 신호를 나타내 보인 타이밍도이다.

도 3a는 종래의 인버터 회로의 래치 업 현상이 발생하였을 경우의 고전압 집적 회로의 입력과 절연 게이트 바이폴라 트랜지스터의 컬렉터 전류를 나타내 보인 신호 파형도이다.

도 3b는 종래의 인버터 회로의 래치 온 현상이 발생하였을 경우의 고전압 집적 회로의 입력과 절연 게이트 바이폴라 트랜지스터의 컬렉터 전류를 나타내 보인 신호 파형도이다.

도 4는 본 발명에 따른 인버터 회로를 나타내 보인 회로도이다.

도 5는 도 4의 임피던스 셀의 여러 가지 구성 예들과 그에 따른 등가 저항들을 나타내 보인 표이다.

도 6은 도 4의 인버터 회로에서 절연 게이트 바이폴라 트랜지스터가 턴 오프되는 경우에서의 등가 회로도이다.

도 7은 도 6의 등가 회로도에서의 턴 오프 스위칭 파형을 나타내 보인 신호 파형도이다.

도 8은 도 4의 인버터 회로에서 초기 충전 동작을 설명하기 위하여 나타내 보인 회로도이다.

도 9a는 도 1의 종래의 인버터 회로에서 입력 커패시터 전압의 변화에 따른 고전압 집적 회로의 단자 전압 및 절연 게이트 바이폴라 트랜지스터의 컬렉터 전류를 나타내 보인 신호 파형도이다.

도 9b는 도 1의 종래의 인버터 회로에서 입력 바이어스 전압의 변화에 따른 고전압 집적 회로의 단자 전압 및 절연 게이트 바이폴라 트랜지스터의 컬렉터 전류를 나타내 보인 신호 파형도이다.

도 9c는 도 1의 종래의 인버터 회로에서 절연 게이트 바이폴라 트랜지스터의 컬렉터 전류의 변화에 따른 고전압 집적 회로의 단자 전압 및 절연 게이트 바이폴라 트랜지스터의 컬렉터 전류를 나타내 보인 신호 파형도이다.

도 9d는 도 1의 종래의 인버터 회로에서 래치 온을 유발하지 않는 한도내에 가능한 최대의 턴 오프 전류를 나타내 보인 신호 파형도이다.

도 10a 내지 도 10c는 도 5의 B 형태의 임피던스 셀이 적용된 본 발명에 따른 인버터 회로에서 서로 다른 저항 및 절연 게이트 바이폴라 트랜지스터의 컬렉터 전류의 변화에 따른 고전압 집적 회로의 단자 전압 및 절연 게이트 바이폴라 트랜지스터의 컬렉터 전류를 나타내 보인 신호 파형도들이다.

도 11a 내지 도 11c는 도 4의 본 발명에 따른 인버터 회로에서 서로 다른 동작 조건 및 절연 게이트 바이폴라 트랜지스터의 컬렉터 전류의 변화에 따른 고전압 집적 회로의 단자 전압 및 절연 게이트 바이폴라 트랜지스터의 컬렉터 전류를 나타내 보인 신호 파형도들이다.

도 12a는 도 1의 종래의 인버터 회로의 절연 게이트 바이폴라 트랜지스터의 컬렉터-에미터 전압, 컬렉터 전류 및 에너지 손실을 나타내 보인 신호 파형도이다.

도 12b는 도 5의 B 형태의 임피던스 셀이 적용된 본 발명에 따른 인버터 회로의 절연 게이트 바이폴라 트랜지스터의 컬렉터-에미터 전압, 컬렉터 전류 및 에너지 손실을 나타내 보인 신호 파형도이다.

도 13a는 도 1의 종래의 인버터 회로의 절연 게이트 바이폴라 트랜지스터의 컬렉터 전류의 변화에 따른 컬렉터-에미터 전압을 나타내 보인 신호 파형도이다.

도 13b는 도 1의 종래의 인버터 회로의 절연 게이트 바이폴라 트랜지스터의 컬렉터 전류의 변화에 따른 컬렉터 전류를 나타내 보인 신호 파형도이다.

도 14a는 도 5의 B 형태의 임피던스 셀이 적용된 본 발명에 따른 인버터 회로의 절연 게이트 바이폴라 트랜지스터의 컬렉터 전류의 변화에 따른 컬렉터-에미터 전압을 나타내 보인 신호 파형도이다.

도 14b는 도 5의 B 형태의 임피던스 셀이 적용된 본 발명에 따른 인버터 회로의 절연 게이트 바이폴라 트랜지스터의 컬렉터 전류의 변화에 따른 컬렉터 전류를 나타내 보인 신호 파형도이다.

도 15a는 도 5의 B 형태의 임피던스 셀이 적용된 본 발명에 따른 인버터 회로의 절연 게이트 바이폴라 트랜지스터의 컬렉터 전류의 변화에 따른 턴 오프 에너지 손실을 나타내 보인 그래프이다.

도 15b는 도 5의 B 형태의 임피던스 셀이 적용된 도 4의 본 발명에 따른 인버터 회로의 절연 게이트 바이폴라 트랜지스터의 컬렉터 전류의 변화에 따른 dv/dt 를 나타내 보인 그래프이다.

도 16a는 도 5의 C 형태의 임피던스 셀이 적용된 본 발명에 따른 인버터 회로에서 낮은 dv/dt 제어가 수행될 때의 턴 온 스위칭 파형을 나타내 보인 신호 파형도이다.

도 16b는 도 1의 종래의 인버터 회로에서 낮은 dv/dt 제어가 수행될 때의 턴 온 스위칭 파형을 나타내 보인 신호 파형도이다.

도 17a는 도 5의 C 형태의 임피던스 셀이 적용된 본 발명에 따른 인버터 회로의 임피던스 셀의 저항값 변화에 따른 낮은 턴 온 전류 조건에서의 절연 게이트 바이폴라 트랜지스터의 컬렉터-에미터 전압을 나타내 보인 신호 파형도이다.

도 17b는 도 5의 C 형태의 임피던스 셀이 적용된 본 발명에 따른 인버터 회로의 임피던스 셀의 저항값 변화에 따른 낮은 턴 온 전류 조건에서의 절연 게이트 바이폴라 트랜지스터의 컬렉터 전류를 나타내 보인 신호 파형도이다.

도 18a는 도 5의 C 형태의 임피던스 셀이 적용된 본 발명에 따른 인버터 회로의 임피던스 셀의 저항값 변화에 따른 높은 턴 온 전류 조건에서의 절연 게이트 바이폴라 트랜지스터의 컬렉터-에미터 전압을 나타내 보인 신호 파형도이다.

도 18b는 도 5의 C 형태의 임피던스 셀이 적용된 본 발명에 따른 인버터 회로의 임피던스 셀의 저항값 변화에 따른 높은 턴 온 전류 조건에서의 절연 게이트 바이폴라 트랜지스터의 컬렉터 전류를 나타내 보인 신호 파형도이다.

도 19a는 도 5의 C 형태의 임피던스 셀이 적용된 본 발명에 따른 인버터 회로의 임피던스 셀의 저항값 변화에 따른 턴 온 에너지 손실을 나타내 보인 그래프이다.

도 19b는 도 5의 C 형태의 임피던스 셀이 적용된 본 발명에 따른 인버터 회로의 임피던스 셀의 저항값 변화에 따른 dv/dt 를 나타내 보인 그래프이다.

도 20a는 도 5의 B 형태의 임피던스 셀이 적용된 본 발명에 따른 인버터 회로의 임피던스 셀의 저항값 변화에 따른 낮은 턴 오프 전류 조건에서의 절연 게이트 바이폴라 트랜지스터의 컬렉터-에미터 전압을 나타내 보인 신호 파형도이다.

도 20b는 도 5의 B 형태의 임피던스 셀이 적용된 본 발명에 따른 인버터 회로의 임피던스 셀의 저항값 변화에 따른 낮은 턴 오프 전류 조건에서의 절연 게이트 바이폴라 트랜지스터의 컬렉터 전류를 나타내 보인 신호 파형도이다.

도 21a는 도 5의 B 형태의 임피던스 셀이 적용된 본 발명에 따른 인버터 회로의 임피던스 셀의 저항값 변화에 따른 높은 턴 오프 전류 조건에서의 절연 게이트 바이폴라 트랜지스터의 컬렉터-에미터 전압을 나타내 보인 신호 파형도이다.

도 21b는 도 5의 B 형태의 임피던스 셀이 적용된 본 발명에 따른 인버터 회로의 임피던스 셀의 저항값 변화에 따른 높은 턴 오프 전류 조건에서의 절연 게이트 바이폴라 트랜지스터의 컬렉터 전류를 나타내 보인 신호 파형도이다.

도 22a는 도 5의 B 형태의 임피던스 셀이 적용된 본 발명에 따른 인버터 회로의 임피던스 셀의 저항값 변화에 따른 턴 오프 에너지 손실을 나타내 보인 그래프이다.

도 22b는 도 5의 B 형태의 임피던스 셀이 적용된 발명에 따른 인버터 회로의 임피던스 셀의 저항값 변화에 따른 dv/dt 를 나타내 보인 그래프이다.

도 23은 본 발명에 따른 인버터 회로에서 그라운드-쇼트 현상이 발생한 경우의 회로 구성을 나타내 보인 회로도이다.

도 24a는 종래의 인버터 회로의 그라운드-쇼트 상황에서의 입력 명령 신호와 컬렉터 전류를 나타내 보인 신호 파형도이다.

도 24b는 본 발명에 따른 인버터 회로의 그라운드-쇼트 상황에서의 입력 명령 신호와 컬렉터 전류를 나타내 보인 신호 파형도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <41> 본 발명은 인버터 회로에 관한 것으로서, 특히 고전압 집적 회로에 의해 게이트가 구동되는 스위칭 소자를 포함하는 인버터 회로에 관한 것이다.
- <42> 가전 분야에서조차 대략 3.7kW 이하의 저 전력 IGBT(Insulated Gate Bipolar Transistor) 인버터들이 폭넓게 이용됨에 따라, 이제는 중요한 관심사는 높은 효율 및 적은 EMI(Electro Magnetic Interference) 노이즈를 추구하면서 낮은 비용, 작은 크기 및 적은 중량을 유지시키는 것이다. 이와 같은 인버터 응용 분야에서, 고전압측 게이트 드라이버를 위한 고전압 집적 회로(HVIC; 의 이용은 점점 일반화되고 있는 실정이다. 이는 고전압 집적 회로(High Voltage Intrgrated Circuit; 이하 HVIC)의 사용으로 인하여, 펄스 폭 변조 제어에서의 높은 성능 외에도 구성 회로의 간단화 및 비용 절감을 달성할 수 있기 때문이다.
- <43> 그러나 고전압 집적 회로를 이용한 게이트 드라이버는 래치된 게이트 신호 출력을 발생시키고 이로 인하여 시스템을 파손시킬 수 있다는 단점을 갖는데, 이는 게이트 구동을 위한 고전압 집적 회로에 연결된 기준 전압이 IGBT의 내 스위칭 순간마다 플로팅되면서 동시에 변동되기 때문이다. 이와 같은 래치 현상은 인버터 파워 회로 및 그 파라미터들, 게이트 구동 회로 및 그 파라미터들, IGBT 스위칭 특성, 및 인버터 동작 조건 등에 의해 야기될 수 있다.

- <44> 도 1은 종래의 인버터 회로의 일 예를 나타내 보인 회로도이다. 그리고 도 2는 도 1의 고전압 집적 회로의 입력 신호와 래치 온 및 래치 오프가 각각 발생하였을 경우에서의 출력 신호를 나타내 보인 타이밍도이다.
- <45> 도 1을 참조하면, 스위칭 소자인 IGBT(130)의 게이트 단자에는 직렬 게이트 저항기(R_g)를 통해 HVIC(110)의 출력 단자(o)가 연결된다. HVIC(110)의 출력 단자(o)를 통해서는 게이트 제어 신호(HO)가 출력된다. IGBT(130)의 컬렉터 단자에는 스위치(S_1)를 통해 입력 DC-링크 전압(V_{DC})을 발생시키는 커패시터(170)가 연결된다. 그리고 IGBT(130)의 에미터 단자에 연결된 노드(d)에는 부하 인덕터(L_{load})가 연결된다. 또한 이 노드(d)에는 인덕턴스(L_{stray})를 갖는 스트레이 인덕터(161), 다이오드(162) 및 저항값(R_{shunt})을 갖는 셉트 저항기(163)와 순차적으로 직렬로 연결되며, 또한 HVIC(110)의 출력 단자이면서 부트스트랩 회로 단자인 노드(s)에도 연결된다.
- <46> HVIC(110)는 두 개의 입력 단자들(in, c)을 포함한다. 입력 단자(in)를 통해서는 컨트롤러(120)로부터의 제어 입력 신호(IN)가 입력된다. 입력 단자(c)를 통해서는 커패시터(151)로부터 방전되는 전압(V_{CC})이 입력된다. HVIC(110) 내부에 배치되는 레벨 변동 모스(MOS)는 스위칭 작용을 통해 입력 단자(in)로부터 입력되는 제어 입력 신호를 에지 트리거링 블록(111)으로 전달해준다. 제어 입력 신호를 전달받은 에지 트리거링 블록(111)은 전달받은 신호의 하강 에지(falling edge) 부분을 인식하여 다음 신호가 입력될 때까지 신호를 유지시켜준다. 에지 트리거링 블록(111)에 의해 유지되는 신호는 버퍼(112)를 통해 게이트 출력 단자(o)를 통해 IGBT(G_1)의 게이트 단자에 입력된다.

<47> HVIC(110)는 부트스트랩(bootstrap) 회로와 연결되는데, 부트스트랩 회로는 순차적으로 직렬로 연결된 커패시터(151), 부트스트랩 저항기(152), 부트스트랩 다이오드(153) 및 부트스트랩 커패시터(154)를 포함하여 구성된다. 커패시터(151)는, 앞서 언급한 바와 같이, 전원으로서 HVIC(110)의 2차측 전원, 즉 부트스트랩 커패시터(154)에 에너지를 전달해준다. 부트스트랩 저항기(152)는 HVIC(110)의 2차측 전원인 부트스트랩 커패시터(154)의 급속한 충전을 방지하여 2차측 전원의 직류 성분에 대한 변동폭을 감소시킨다. 부트스트랩 다이오드(153)는 IGBT(130)가 스위칭 오프 상태일 때 고전압으로부터 HVIC(110) 및 저전압 소자들을 보호한다. 그리고 부트스트랩 커패시터(154)는 HVIC(110)의 2차측 전원 역할을 수행하며, HVIC(110)의 단자들(b, s)에 연결된다.

<48> 이와 같은 회로 구성을 갖는 종래의 인버터 회로에서 IGBT(130)에 래치 현상이 발생하게 되면, HVIC(110)로부터의 출력 단자(o)로부터의 신호(H0)가 컨트롤러(120)로부터의 제어 입력 신호(IN)와 무관하게 되고, 이에 따라 IGBT(130)의 적절한 스위칭 동작이 이루어지지 않게 된다. 즉 도 2 (a)에 도시된 바와 같은 제어 입력 신호(IN)가 컨트롤러(120)로부터 입력되더라도, 래치 온 현상이 발생하는 시점 t6에서의 HVIC(110) 출력 단자(o)로부터의 출력 신호(H0)는, 도 2 (b)에 나타낸 바와 같이, 오프 신호 발생 상태를 유지하지 않고 비정상적으로 온 신호를 발생시킨다. 그리고 래치 오프 현상이 발생하는 시점 t4에서의 HVIC(110) 출력 단자(o)로부터의 출력 신호(H0)는, 도 2 (c)에 나타낸 바와 같이, 온 신호를 발생시키지 않고 계속 오프 신호 발생 상태가 유지된다. 따라서 IGBT(130)는, 래치 온 현상이 발생할 경우 스위칭 오프를 유지하여야 할 시점인 t6에서 비정상적으로 스위칭 온되고, 래치 업 현상이 발생할 경우 스위칭 온 되어야 할 시점인 t4에서 비정상적으로 스위칭 오프된다.

- <49> 도 3a 및 도 3b는 종래의 인버터 회로의 래치 업 현상 및 래치 온 현상이 각각 발생하였을 경우의 고전압 집적 회로의 입력과 절연 게이트 바이폴라 트랜지스터의 컬렉터 전류를 나타내 보인 신호 파형도들이다.
- <50> 먼저 도 3a를 참조하면, 시점 t_4 에서 스위칭 온 정보에 상응하는 제어 입력 신호(IN)가 HVIC(110)로 입력되더라도, IGBT(130)의 컬렉터 전류(I_C)를 증가하지 않는다. 이와 같은 래치 업 현상은, 시점 t_3 와 시점 t_4 사이에 다이오드(162) 및 셉트 저항기(163)에 흐르는 프리휠링 전류(I_{FW})에 의해 발생하는 전압 강하에 의해 HVIC(110)의 단자(s)에서 매우 큰 정상-상태 역 전압이 발생되기 때문에 발생하는 것으로 알려져 있다.
- <51> 다음에 도 3b를 참조하면, 시점 t_6 에서 스위칭 오프 정보에 상응하는 제어 입력 신호(IN)가 HVIC(110)로 입력되더라도, IGBT(130)의 컬렉터 전류(I_C)는 매우 일시적으로 감소하였다가 다시 증가한다. 이와 같은 래치 온 현상은, 어떤 오버스트레스 조건하에서 HVIC(110) 내부의 기생 다이오드들의 순방향 전도에 의해 발생하는 것으로 알려져 있다. 상기 오버스트레스 조건의 예로서는 무부하 조건, 부트스트랩 커패시터(154)의 빠른 충전 등이 있다. 이와 같은 조건들에서, 전류는 HVIC(110)의 두 단자들(b, s) 사이의 내부 정전 방전용 다이오드를 통해 흐르고, 이 전류에 의해 고전압측 IGBT(130)가 턴 온 되는 것이다.
- <52> 이와 같이 HVIC(110)에 의해 스위칭 소자인 IGBT(130)가 스위칭되는 인버터 회로에 있어서 래치 온 현상이나 래치 업 현상의 발생은 매우 치명적인 것을 알 수 있다. 래치 온 현상이나 래치 업 현상이 발생하게 되면, IGBT(130)의 스위칭 동작이 정상적으로 이루어지지 않게 되므로, 인버터 회로의 기능을 제대로 수행할 수 없으며, 심지어는 인버터 회로를 구성하는 소자들을 파괴시킬 수도 있다.

【발명이 이루고자 하는 기술적 과제】

<53> 본 발명이 이루고자 하는 기술적 과제는, 래치 온 현상 및 래치 업 현상의 발생을 억제할 수 있는 고전압 집적 회로에 의해 게이트가 구동되는 스위칭 소자를 포함하는 인버터 회로를 제공하는 것이다.

【발명의 구성 및 작용】

<54> 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 인버터 회로는, 게이트 단자로 입력되는 게이트 제어 신호에 대응되는 스위칭 동작을 수행하여 입력되는 직류 전원을 교류 전원으로 변환하여 출력시키는 스위칭 소자; 상기 스위칭 소자의 게이트 단자로 상기 게이트 제어 신호를 입력시키는 고전압 집적 회로; 상기 고전압 집적 회로가 상기 게이트 제어 신호를 발생하도록 하는 제어 신호를 상기 고전압 집적 회로로 입력하는 컨트롤러; 상기 고전압 집적 회로의 고전압측 영역에 에너지를 전달해주는 부트스트랩 회로; 및 상기 고전압 집적 회로 및 상기 스위칭 소자의 일 단자 사이에 배치되어 상기 고전압 집적 회로의 고전압측 전압 강하량을 감소시키는 임피던스 셀을 구비하는 것을 특징으로 한다.

<55> 상기 스위칭 소자는, 직류 입력 전원에 컬렉터 단자가 연결되고, 출력단에 에미터 단자가 연결되는 절연 게이트 바이폴라 트랜지스터인 것이 바람직하다.

<56> 이 경우 상기 임피던스 셀은 상기 고전압 집적 회로와 상기 절연 게이트 바이폴라 트랜지스터의 에미터 단자 사이에 배치되는 것이 바람직하다.

<57> 상기 부트스트랩 회로는, 전원; 상기 전원과 직렬로 연결된 부트스트랩 저항기; 애노드 단자가 상기 부트스트랩 저항기에 직렬로 연결되고 캐소드 단자는 상기 부트스트랩 저항기와 반대로 향하도록 배치된 부트스트랩 다이오드; 및 상기 부트스트랩 다이오드의 캐소드 단

자와 상기 고전압 집적 회로 및 상기 임피던스 셀에 공통으로 연결되는 노드에 연결되는 부트 스트랩 커패시터를 포함하는 것이 바람직하다.

<58> 상기 임피던스 셀은, 하나의 저항기를 포함하는 것이 바람직하다.

<59> 상기 임피던스 셀은, 하나의 저항기 및 상기 저항기와 병렬로 연결된 다이오드를 포함할 수도 있다.

<60> 이 경우 상기 다이오드는, 애노드 단자가 상기 스위칭 소자와 연결되고 캐소드 단자가 상기 고전압 집적 회로에 연결되도록 배치되거나, 또는 애노드 단자가 상기 고전압 집적 회로와 연결되고 캐소드 단자가 상기 스위칭 소자에 연결되도록 배치될 수 있다.

<61> 상기 임피던스 셀은, 하나의 제1 저항기와, 상기 제1 저항기와는 병렬로 연결되면서 상호 직렬로 연결된 제2 저항기 및 다이오드를 포함할 수도 있다.

<62> 이 경우 상기 다이오드는, 애노드 단자가 상기 스위칭 소자와 연결되고 캐소드 단자가 상기 제2 저항기를 통해 상기 고전압 집적 회로에 연결되도록 배치되거나, 또는 애노드 단자가 상기 제2 저항기를 통해 상기 고전압 집적 회로와 연결되고 캐소드 단자가 상기 스위칭 소자에 연결되도록 배치될 수 있다.

<63> 이하 첨부 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다.

<64> 도 4는 본 발명에 따른 인버터 회로를 나타내 보인 회로도이다. 그리고 도 5는 도 4의 임피던스 셀의 여러 가지 구성 예들과 그에 따른 등가 저항들을 나타내 보인 표이다.

- <65> 도 4를 참조하면, 스위칭 소자인 IGBT(430)의 게이트 단자에는 직렬 게이트 저항기(431)를 통해 HVIC(410)의 출력 단자(o')가 연결된다. IGBT(430)의 컬렉터 단자에는 입력 DC-링크 전압(V_{DC})을 발생시키는 커패시터(470)가 연결된다. IGBT(430)의 에미터 단자에는 부하 인덕터(464)가 연결된다. IGBT(430)의 에미터 단자는 스트레이 인덕터(461), 다이오드(462) 및 셉트 저항기(463)와도 순차적으로 직렬로 연결된다. 스트레이 인덕터(461), 다이오드(462) 및 셉트 저항기(463)와 부하 인덕터(464)는 상호 병렬 연결 관계이다. 또한 IGBT(430)의 에미터 단자는 임피던스 셀(440)을 통해 HVIC(410) 및 부트스트랩 회로와도 연결된다.
- <66> HVIC(110)는 두 개의 입력 단자들(in', c')을 포함한다. 입력 단자(in')를 통해서만 컨트롤러(420)로부터의 제어 입력 신호(IN)가 입력된다. 입력 단자(c')를 통해서만 커패시터(451)로부터 방전되는 전압(V_{CC})이 입력된다. 도면에 나타내지는 않았지만, HVIC(410) 내부에는 레벨 변동 모스 트랜지스터, 에지 트리거링 블록 및 버퍼 등이 배치된다. 레벨 변동 모스 트랜지스터는 스위칭 작용을 통해 입력 단자(in')로부터 입력되는 제어 입력 신호(IN)를 에지 트리거링 블록으로 전달해준다. 제어 입력 신호를 전달받은 에지 트리거링 블록은 전달받은 신호의 하강 에지(falling edge) 부분을 인식하여 다음 신호가 입력될 때까지 신호를 유지시켜준다. 에지 트리거링 블록에 의해 유지되는 신호는 버퍼를 통해 게이트 출력 단자를 통해 IGBT(430)의 게이트 단자에 입력된다.
- <67> HVIC(410)는 부트스트랩(bootstrap) 회로와 연결되는데, 부트스트랩 회로는 순차적으로 직렬로 연결된 커패시터(451), 부트스트랩 저항기(452), 부트스트랩 다이오드(453) 및 부트스트랩 커패시터(454)를 포함하여 구성된다. 커패시터(451)는, 앞서 언급한 바와 같이, 전원으로서 HVIC(410)의 2차측 전원, 즉 부트스트랩 커패시터(454)에 에너지를 전달해준다. 부트스트랩 저항기(452)는 HVIC(410)의 2차측 전원인 부트스트랩 커패시터(454)의 급속한 충전을 방

지하여 2차측 전원의 직류 성분에 대한 변동폭을 감소시킨다. 부트스트랩 다이오드(453)는 IGBT(430)가 스위칭 오프 상태일 때 고전압으로부터 HVIC(410) 및 저전압 소자들을 보호한다. 그리고 부트스트랩 커패시터(454)는 HVIC(410)의 2차측 전원 역할을 수행하며, HVIC(410)의 단자들(b', s')에 연결된다.

<68> IGBT(430)의 에미터 단자와 HVIC(410) 사이에 배치된 임피던스 셀(440)은 HVIC(410)의 래치 업 및 래치 온 발생 현상을 억제시키기 위한 블록이다. 이 임피던스 셀(440)은 적어도 하나의 저항기를 포함하며, 그 밖에 다이오드를 포함할 수도 있다. 즉 도 5에 도시된 바와 같이, 임피던스 셀(440)의 구성 형태로서 A 형태, B 형태, C 형태, D 형태 및 E 형태를 예시적으로 나타내었다. 먼저 A 형태의 경우, 단순히 저항값($R_{E(H)}$)을 갖는 저항기(431a)만으로 이루어진 구조를 갖는다. B 형태의 경우, 저항값($R_{E(H)}$)을 갖는 저항기(431b)와 다이오드(432b)가 병렬로 연결된 구조를 갖는다. 이때 다이오드(432b)의 애노드 단자는 IGBT(430)의 에미터 단자를 향하고, 캐소드 단자는 HVIC(410)를 향하도록 배치된다. C 형태의 경우, B 형태와 유사하게 저항값($R_{E(H)}$)을 갖는 저항기(431c)와 다이오드(432c)가 병렬로 연결된 구조를 갖지만, 다이오드(432c)의 애노드 단자는 HVIC(410)를 향하고, 캐소드 단자는 IGBT(430)의 에미터 단자를 향하도록 배치된다는 점에서 차이가 있다. D 형태의 경우, 다이오드(432d)와 저항값(R_s)을 갖는 저항기(433d)가 직렬로 연결되고, 다시 다이오드(432d)와 저항기(433d)가 저항값($R_{E(H)}$)을 갖는 저항기(431d)와 병렬로 연결된 구조를 갖는다. 이때 다이오드(432d)의 애노드 단자는 IGBT(430)의 에미터 단자를 향하고, 캐소드 단자는 저항기(433d)를 향하도록 배치된다. E 형태의 경우, D 형태와 유사하게 다이오드(432e)와 저항값(R_s)을 갖는 저항기(433e)가 직렬로 연결되고, 다시 다이오드(432e)와 저항기(433e)가 저항값($R_{E(H)}$)을 갖는 저항기(431e)와 병렬로

연결된 구조를 갖지만, 다이오드(432e)의 애노드 단자는 저항기(433e)를 향해 배치되고 캐소드 단자는 IGBT(430)의 에미터 단자를 향하도록 배치된다.

<69> 다음에 이와 같은 임피던스 셀(440)의 여러 가지 형태들에 있어서 스위칭 온시의 등가 저항과 스위칭 오프시의 등가 저항을 설명하면 다음과 같다. 먼저 A 형태의 경우, 스위칭 온시의 등가 저항($R_{on,eq}$)은 스위칭 오프시의 등가 저항($R_{off,eq}$)과 마찬가지로 저항기(431a)의 저항값($R_{E(H)}$)이 된다. B 형태의 경우 스위칭 온시의 등가 저항($R_{on,eq}$)은 0이지만, 스위칭 오프시의 등가 저항($R_{off,eq}$)은 저항기(431b)의 저항값($R_{E(H)}$)이 된다. C 형태의 경우 스위칭 온시의 등가 저항($R_{on,eq}$)은 저항기(431c)의 저항값($R_{E(H)}$)이 되고 스위칭 오프시의 등가 저항($R_{off,eq}$)은 0이 된다. D 형태의 경우, 스위칭 온시의 등가 저항($R_{on,eq}$)은 병렬 관계로 연결된 저항기(431d)와 저항기(433d)의 합인 저항값($R_{E(H)} // R_s$)이 되고, 스위칭 오프시의 등가 저항($R_{off,eq}$)은 저항기(431d)의 저항값($R_{E(H)}$)이 된다. E 형태의 경우, 스위칭 온시의 등가 저항($R_{on,eq}$)은 저항기(431e)의 저항값($R_{E(H)}$)이 되고, 스위칭 오프시의 등가 저항($R_{off,eq}$)은 병렬 관계로 연결된 저항기(431e)와 저항기(433e)의 합인 저항값($R_{E(H)} // R_s$)이 된다.

<70> 아래의 표 1은 임피던스 셀(440)의 여러 가지 형태의 특성을 나타낸 표이다.

<71> 【표 1】

| 형태 | 특성 | | |
|----|------------|-------------|-----------|
| | 온 dv/dt 제어 | 오프 dv/dt 제어 | 래치 발생 억제력 |
| A | △ | △ | △ |
| B | × | ○ | ○ |
| C | ○ | × | × |
| D | ○ | ○ | ○ |
| E | ○ | ○ | ○ |

<72> 여기서 ○는 상대적으로 가장 좋은 특성을 나타내고, ×는 상대적으로 가장 열악한 특성을 나타내며, 그리고 △는 중간 정도의 특성을 나타낸다.

<73> 표 1에서 알 수 있듯이, 각각의 형태들마다 다소 상이한 특성을 가지며, 이에 따라 임피던스 셀(440)의 형태를 선택하는 것은 시스템 요구 사항에 의해 결정되어야 한다. 예컨대 B 형태 및 C 형태의 임피던스 셀(440)의 경우 턴 온시 또는 턴 오프시에 각각 하나의 등가 저항($R_{on,eq}$ 또는 $R_{off,eq}$)만을 갖는다. 따라서 이 형태들은 각각의 스위칭 동작에 한정하여 사용될 수 있다. 이와는 대조적으로 A 형태, D 형태 및 E 형태는 턴 온시의 등가 저항($R_{on,eq}$)과 턴 오프시의 등가 저항($R_{off,eq}$)을 모두 갖는다. 이 중 A 형태는 가장 간단한 구조를 가지며, 따라서 만약 대상 시스템이 제한적으로 이용되는 경우에 좋은 선택이 될 수 있다. 그러나 설계 파라미터가 단지 저항값 하나이므로 최적의 특성을 나타내지는 못한다. 보다 좋은 선택은 D 형태 및 E 형태인데, 이 형태들은 독립적인 저항값들을 갖기 때문에 턴 온 및 턴 오프 스위칭 특성을 보다 더 향상시킬 수 있는 장점들을 제공한다.

<74> 래치 업 현상보다 래치 온 현상이 보다 더 심각하고 어려운 문제인데, 이는 래치 온 현상이 스트레이 인덕터(461)에서의 전압 강하와 턴 오프시의 전류 하강 시간과 관계가 있기 때문이다. 이와 비교하면, 래치 업 현상은, 회로 설계하는데 있어서, 최대 전류 레벨, 션트 저항값 및 정상 상태 조건에서의 다이오드 전압 강하를 고려함으로써 상대적으로 쉽게 관리될 수 있다. 따라서 이하에서는 임피던스 셀(440)에 의한 래치 온 현상이 억제되는 메커니즘을 위주로 설명하기로 한다.

<75> 도 6은 도 4의 인버터 회로에서 절연 게이트 바이폴라 트랜지스터가 턴 오프되는 경우에서의 등가 회로도이다. 그리고 도 7은 도 6의 등가 회로도에서의 턴 오프 스위칭 파형을 나타내 보인 신호 파형도이다.

<76> 먼저 도 6에 도시된 바와 같이, IGBT(430)가 턴 오프 됨에 따라 HVIC(410)와 연결되는 노드(s')와 노드(d') 사이에는 게이트 직렬 저항(431)과 턴 오프 등가 저항으로 나타낸 임피던

스 셀(440)이 병렬로 연결되고, 그 사이에는 IGBT(430)의 게이트와 에미터 사이의 인가 전압(V_{GE})이 전압원으로서 연결된다. 이와 같은 등가 회로도에서 노드(b')에서의 단자 전압(V_B)은 아래의 수학적 식 1과 같이 표현된다.

<77> **【수학적 식 1】** $V_B = V_{RE(H)} + V_{BS} - V_{r,inst}$

<78> 여기서 $V_{RE(H)}$ 는 임피던스 셀(430)에서 강해지는 전압이다.

<79> 상기 순간 전압($V_{r,inst}$)은 스트레이 인덕터(461), 다이오드(462) 및 셉트 저항기(463)의 양단에 인가되는 전압의 모든 합이며, 따라서 아래의 수학적 식 2와 같이 표현된다.

<80> **【수학적 식 2】** $V_{r,inst} = V_{R,shunt} + V_{D2} + V_{stray} = I_{FW}R_{shunt} + V_{D2} + L_{stray} \frac{dI_{FW}}{dt}$

<81> 여기서 $V_{R,shunt}$ 는 셉트 저항기(463)의 양단에 인가되는 전압이고, V_{D2} 는 다이오드(462) 양단에 인가되는 전압이며, 그리고 V_{stray} 는 스트레이 인덕터(461) 양단에 인가되는 전압이다. 따라서 임피던스 셀(440)의 양단에 인가되는 턴 오프 등가 전압 강하량($V_{Roff,eq}$)은 아래의 수학적 식 3과 같이 표현된다.

<82> **【수학적 식 3】** $V_{Roff,eq} = \frac{R_g/R_{off,eq}}{R_{BS} + R_g/R_{off,eq}} \times V_{r,inst} + \frac{R_{off,eq}}{R_g + R_{off,eq}} \times V_{GE}$

<83> 결국, 고전압측 IGBT(430)가 턴 오프되면, 다이오드(462)를 통과하는 프리휠링 전류(I_{FW})에 의해 상기 수학적 식 2와 같은 순간 전압($V_{r,inst}$)이 발생되고, 이로 인하여 노드 (b')에서 전압 강하가 일어난다. 이 전압 강하는 상기 수학적 식 3에 나타난 턴 오프 등가 전압 강하량($V_{Roff,eq}$)만큼 감소된다. 도 7에서 알 수 있듯이, 시점 t1에서 t2까지는 부트스트랩 다이오드(453)와 다이오드(462)가 도전 상태가 아니며, 또한 순간 전압($V_{r,inst}$)이 0이기 때문

에 상기 수학적식 2 및 수학적식 3은 시점 t_2 이후에 적용된다. 오프 등가 저항값($R_{off,eq}$)은 래치 온이 발생하지 않도록 하는 최소의 등가 임피던스가 되도록 실험적으로 결정될 수 있다.

<84> 턴 오프 스위칭을 위해 설계된 등가 저항은 인버터 회로의 특성을 결정하는 인자들 중의 하나인 dv/dt 를 제어할 수 있다. 고전압측 IGBT(430)의 전압이 턴 온으로 감소되면, HVIC(410)의 기생 커패시턴스도 동시에 등가 저항을 통해 충전된다. 상대적으로 종래의 인버터 회로에 비하여 증가된 등가 저항은 전이(transition) 속도를 늦추고 dv/dt 제어를 가능하게 한다. HVIC(410)는 노드(s')에서 제한된 dv/dt 정격을 갖기 때문에, dv/dt 제어는 HVIC(410)의 보다 더 안전 동작을 제공해 준다.

<85> 도 8은 도 4의 인버터 회로에서 초기 충전 동작을 설명하기 위하여 나타내 보인 회로도이다.

<86> 도 8에 도시된 바와 같이, 고전압측 IGBT(G1)의 연결은 도 4에 나타낸 바와 동일하다. 따라서 고전압측 IGBT(G1)의 게이트는 HVIC(810)에 의해 제어된다. 도 4에는 나타나지 않았던 저전압측 IGBT(G2)의 게이트는 구동 IC(820)에 연결되고, 구동 IC(820)에 의해 제어된다. 오프 등가 저항값($R_{off,eq}$)을 갖는 임피던스 셀(840)은 부트스트랩 회로의 초기 충전 모드에 영향을 끼친다. 이는 굵은 선으로 표시한 바와 같이, 저전압측 IGBT(G2)가 턴 온될 때 부트스트랩 커패시터(854)가 오프 등가 저항값($R_{off,eq}$)을 갖는 임피던스 셀(840)을 통해 충전되기 때문이다. 이 경우 IGBT(G1)의 게이트-에미터 전압(V_{GE})과 초기 충전 조건은 각각 아래의 수학적식 4 및 수학적식 5와 같이 나타낼 수 있다.

<87> **【수학적식 4】**
$$V_{GE} = \frac{R_{off,eq}}{R_{BS} + R_{off,eq}} (V_{CC} - V_{DBS} - V_{G2}) - V_{hvic,diod}$$

<88> **【수학적식 5】**
$$V_{GE} \geq V_{Th,min}$$

- <89> 여기서 V_{DBS} 는 부트스트랩 다이오드(853)의 순방향 전압 강하량이고, V_{G2} 는 저전압측 IGBT(G2)의 순방향 전압 강하량이며, 그리고 $V_{hvic,diode}$ 는 HVIC(810)의 내부 버퍼에서의 분방향 전압 강하량이다.
- <90> 만약 IGBT(G1)의 게이트-에미터 전압(V_{GE})이 고전압측 IGBT(G1)의 문턱 전압 수준까지 도달하게 되면, IGBT(G1)는 턴 온 되고, 매우 짧은 시간이긴 하지만 슈트-드루(shoot-through)된다. 따라서 고전압측 IGBT(G1)의 게이트-에미터 전압(V_{GE})은 IGBT(G1)의 최소 문턱 전압($V_{Th,min}$)보다 작은 값이 되도록 제한되어야 할 필요가 있다.
- <91> 한편 부트스트랩 커패시터의 커패시턴스(854)는 아래의 수학식 6 및 수학식 7에 의해 결정될 수 있다.
- <92> **【수학식 6】**
$$Q_{BS}E2Q_g + \frac{I_{QBS,max}}{f_{sw}} + Q_{ls} + \frac{I_{CBS,lk}}{f_{sw}}$$
- <93> **【수학식 7】**
$$C_{BS}E15 \times \frac{2Q_{BS}}{\Delta V}$$
- <94> 여기서 Q_g 는 고전압측 IGBT(G1)의 게이트 전하량을 나타내고, $I_{QBS,max}$ 는 HVIC(G1)의 최대 정지 전류(Quiescent current)를 나타내고, $I_{CBS,lk}$ 는 부트스트랩 커패시터의 누설 전류량을 나타내고, Q_{ls} 는 싸이클당 요구되는 레벨 변동 전하량이며, 그리고 ΔV 는 V_{BS} 의 리플 전압을 나타낸다.
- <95> 본 발명에 따른 인버터 회로의 구성 성분들의 파워 정격은 임피던스 셀(도 4의 440)에 좌우되어 변화된다. 예컨대 도 5의 형태 B의 경우를 예를 들어 설명하기로 한다. 고전압측 IGBT(430)가 턴 온 되면, 부트스트랩 커패시터(454)는 IGBT(430)의 게이트-에미터 커패시턴스를 충전시킨다. 따라서 턴 온 동안에 등가 저항기에서 소모되는 파워는, 아래의 수학식 8에

나타낸 바와 같이, 최대 커패시터 에너지로부터 얻어질 수 있고, 다시 게이트 직렬 저항(431) 및 임피던스 셀(440)의 등가 저항값($R_{E(H)}$)에 의해 나누어진다.

<96> **【수학식 8】**
$$P_{RE(H),on} = \frac{R_{E(H)} \times C_{ge}}{2(R_g + R_{E(H)})} V_{ge}^2 \times (1 - e^{-\frac{t}{R_g C_{ge}}}) \times f_{sw}$$

<97> 여기서 t 는 $3R_t C_{ge}$ 이고, R_t 는 R_g 와 $R_{E(H)}$ 의 합이며, 그리고 f_{sw} 는 스위칭 주파수이다.

<98> 한편 고전압측 IGBT(430)이 턴 오프되면, IGBT(430)의 게이트 전압의 방전과 부트스트랩 커패시터(454)의 충전이 동시에 이루어진다. 따라서 IGBT(430)의 턴 오프시, 스위칭 주파수에 연계된 임피던스 셀(440)의 등가 저항에서의 파워 소모량($P_{RE(H),off}$)과 부트스트랩 저항(452)에서의 파워 소모량($P_{RBS,off}$)은 각각 아래의 수학식 9 및 수학식 10과 같이 나타낼 수 있다.

<99> **【수학식 9】**
$$P_{RE(H),off} = f_{sw} \times \frac{1}{A_0} \int_0^{t_{off}} \frac{V_{R_{E(H)}}^2}{R_{E(H)}} dt$$

<100> **【수학식 10】**
$$P_{RBS,off} = \frac{R_{BS} C_{BS}}{2(R_{BS} + R_{E(H)})} (V_{BS})^2 \times (1 - e^{-\frac{t}{R_T C_{BS}}}) \times f_{sw}$$

<101> 여기서 t 는 $3R_T C_{BS}$ 이고, R_T 는 R_{BS} 와 $R_{E(H)}$ 의 합이다.

<102> 따라서 등가 저항 및 부트 스트랩 저항에서의 전체 파워 소모량은 아래의 수학식 11 및 수학식 12와 같이 나타낼 수 있다.

<103> **【수학식 11】**
$$P_{RE(H)} = P_{RE(H),on} + P_{RE(H),off}$$

<104> **【수학식 12】**
$$P_{RBS} = P_{RBS,off}$$

<105> 이하에서는 본 발명에 따른 인버터 회로를 실제 응용에 적용한 경우에서의 여러 특성들을 그래프들을 참조하면서 설명하기로 한다. 본 응용예는 에어컨을 구성하는 인버터 회로로서, 일반적으로 낮은 스위칭 주파수 조건에서 큰 동작 전류를 요구하는 응용 분야이다.

이와 같은 응용 분야에서 사용되는 인버터 회로의 임피던스 셀(440)은 도 5의 형태 B를 적용하는 것을 기준으로 설명한다. 그러나 도 5의 다른 형태들을 적용하였을 경우에도 유사한 결과가 나타난다는 것은 쉽게 예상할 수 있을 것이다. 본 응용 예에서 사용된 설계 파라미터들 중 입력 DC-링크 전압(V_{DC})은 200-450V이고, 커패시터(451)에 의해 공급되는 전압(V_{CC})은 13-18V이고, 최대 션트 저항값($R_{shunt,max}$)은 $6.8m\Omega$ 이고, 제한된 최대 부하 전류는 30A이며, 그리고 스위칭 주파수(F_{sw})는 3kHz이다. 사용된 IGBT는 저속도형으로서 600V/10A의 정격을 갖는다.

<106> 도 9a 내지 도 9c는, 도 1의 종래의 인버터 회로에서의 시스템 파라미터들(V_{DC} , V_{CC} , I_C)의 변화에 따른 HVIC(110)의 단자 전압(V_B) 및 IGBT(130)의 컬렉터 전류(I_C)를 나타내 보인 신호 파형도들이다. 그리고 도 9d는 도 1의 종래의 인버터 회로에서 래치 온을 유발하지 않는 한도내에 가능한 최대의 턴 오프 전류를 나타내 보인 신호 파형도이다.

<107> 먼저 도 9a에서, 참조 부호 "910a", "910b" 및 "910c"는 DC-링크 전압(V_{DC})이 각각 200, 300 및 400V인 경우에서의 HVIC(110)의 단자 전압(V_B)을 나타낸다. 참조 부호 "920a", "920b" 및 "920c"는 DC-링크 전압(V_{DC})이 각각 200, 300 및 400V인 경우에서의 IGBT(130)의 컬렉터 전류(I_C)를 나타낸다. 도 9a에 도시된 바와 같이, DC-링크 전압(V_{DC})이 가장 작은 경우 HVIC(110)의 단자 전압(V_B), 즉 노드(b)에서의 전압 강하량이 가장 작은 것을 알 수 있는데 (910a), 이는 전류 하강 시간이 가장 빠르기 때문이다.

<108> 다음에 도 9b에서, 참조 부호 "930a", "930b" 및 "930c"는 커패시터(151) 방전 전압(V_{CC})이 각각 13, 15 및 18V인 경우에서의 HVIC(110)의 단자 전압(V_B)을 나타낸다. 참조 부호 "940a", "940b" 및 "940c"는 커패시터(151) 방전 전압(V_{CC})이 각각 13, 15 및 18V인 경우에서의 IGBT(130)의 컬렉터 전류(I_C)를 나타낸다. 도 9b에 도시된 바와 같이, 커패시터(151) 방전 전

압(V_{CC})이 가장 작은 13V인 경우, HVIC(110)의 단자 전압(V_B), 즉 노드(b')에서의 전압 강하량이 가장 작은 것을 알 수 있다(930a).

<109> 다음에 도 9c에서, 참조 부호 "950a", "950b" 및 "950c"는 IGBT(130)의 컬렉터 전류(I_C)가 각각 5, 15 및 30A인 경우에서의 HVIC(110)의 단자 전압(V_B)을 나타낸다. 참조 부호 "960a", "960b" 및 "960c"는 IGBT(130)의 컬렉터 전류(I_C)가 각각 5, 15 및 30A인 경우에서의 IGBT(130)의 컬렉터 전류(I_C) 파형을 나타낸다. 도 9c에 도시된 바와 같이, 가장 큰 30A의 컬렉터 전류(I_C) 조건(960c)과 이에 따른 가장 큰 단자 전압(V_B)(950c)에서 래치 온이 발생되는데, 이는 보다 빠른 전류 신호의 하강 속도 증가에 의해 전류량이 증가하기 때문이다.

<110> 다음에 도 9d에서, 참조 부호 "970"은 DC-링크 전압(V_{DC})이 200V이고, 커패시터(151) 방전 전압(V_{CC})이 13V인 가장 열악한 상태에서의 HVIC(110)의 단자 전압(V_B)을 나타낸다. 참조 부호 "980a"은 DC-링크 전압(V_{DC})이 200V이고, 커패시터(151) 방전 전압(V_{CC})이 13V인 가장 열악한 상태에서의 HVIC(110)의 제어 입력 신호(IN)을 나타낸다. 그리고 참조 부호 "980b"은 DC-링크 전압(V_{DC})이 200V이고, 커패시터(151) 방전 전압(V_{CC})이 13V인 가장 열악한 상태에서의 IGBT(130)의 컬렉터 전류(I_C)를 나타낸다. 도 9d에서 알 수 있듯이, 정격 전류인 10A보다 다소 큰 13A의 전류 레벨에서 래치 온이 발생하지 않으며, 이때 단자 전압(V_B)은 대략 -8V가 된다.

<111> 도 10a 내지 도 10c는 도 5의 B 형태의 임피던스 셀이 적용된 본 발명에 따른 인버터 회로에서, 부트스트랩 저항(452)의 저항값(R_{BS}) 및 임피던스 셀(440)의 등가 저항값($R_{E(H)}$)이 서로 다른 상태에서의 IGBT(430)의 컬렉터 전류(I_C) 변화에 따른 HVIC(410)의 단자 전압(V_B) 및 IGBT(430)의 컬렉터 전류(I_C)를 나타내 보인 신호 파형도들이다.

- <112> 먼저 도 10a는 부트스트랩 저항(452)의 저항값(R_{BS}) 및 임피던스 셀(440)의 등가 저항값($R_{E(H)}$)이 각각 75Ω 및 30Ω인 경우이며, 참조 부호 "1010a", "1010b" 및 "1010c"는 IGBT(430)의 컬렉터 전류(I_C)가 각각 5, 15 및 30A인 경우에서의 HVIC(410)의 단자 전압(V_B)을 나타낸다. 또한 참조 부호 "1020a", "1020b" 및 "1020c"는 IGBT(430)의 컬렉터 전류(I_C)가 각각 5, 15 및 30A인 경우에서의 IGBT(430)의 컬렉터 전류(I_C) 변화를 나타낸다.
- <113> 다음에 도 10b는 부트스트랩 저항(452)의 저항값(R_{BS}) 및 임피던스 셀(440)의 등가 저항값($R_{E(H)}$)이 각각 100Ω 및 40Ω인 경우이며, 참조 부호 "1030a", "1030b" 및 "1030c"는 IGBT(430)의 컬렉터 전류(I_C)가 각각 5, 15 및 30A인 경우에서의 HVIC(410)의 단자 전압(V_B)을 나타낸다. 또한 참조 부호 "1040a", "1040b" 및 "1040c"는 IGBT(430)의 컬렉터 전류(I_C)가 각각 5, 15 및 30A인 경우에서의 IGBT(430)의 컬렉터 전류(I_C) 변화를 나타낸다.
- <114> 도 10c는 부트스트랩 저항(452)의 저항값(R_{BS}) 및 임피던스 셀(440)의 등가 저항값($R_{E(H)}$)이 각각 125Ω 및 51Ω인 경우이며, 참조 부호 "1050a", "1050b" 및 "1050c"는 IGBT(430)의 컬렉터 전류(I_C)가 각각 5, 15 및 30A인 경우에서의 HVIC(410)의 단자 전압(V_B)을 나타낸다. 또한 참조 부호 "1060a", "1060b" 및 "1060c"는 IGBT(430)의 컬렉터 전류(I_C)가 각각 5, 15 및 30A인 경우에서의 IGBT(430)의 컬렉터 전류(I_C) 변화를 나타낸다.
- <115> 도 10a 내지 도 10c의 경우 모두 DC-링크 전압(V_{DC})이 200V이고, 커패시터(451) 방전 전압(V_{CC})이 13V인 가장 열악한 상태이다. 도 10a 내지 도 10c에 나타난 바와 같이, 어떠한 조건에서도 래치 온 문제가 발생하지 않으며, 임피던스 셀(440)의 등가 저항값($R_{E(H)}$)이 클수록 단자 전압(V_B)의 네가티브 레벨이 작아진다는 것을 알 수 있다. 특히 단자 전압(V_B)의 최소값이 종래의 경우(도 9c 참조)와 다르게 대략 15A의 전류 범위에서 발생한다는 것을 알 수 있다.

이는 보다 커진 네가티브 전압에 상응하는 임피던스 셀(440)의 등가 저항 양단에 발생하는 큰 차폐 전압이 전류의 하강 속도를 다소 늦추기 때문에 발생하는 현상이다. 이와 같은 실험 결과, 항상 포지티브 값의 단자 전압(V_B)을 나타내는 임피던스 셀(440)의 등가 저항값($R_{E(H)}$)은 대략 40Ω 임을 도출할 수 있다.

<116> 도 11a 내지 도 11c는 도 5의 B 형태의 임피던스 셀이 적용된 본 발명에 따른 인버터 회로에서, 서로 다른 동작 조건에서의 IGBT(430)의 컬렉터 전류(I_C) 변화에 따른 HVIC(410)의 단자 전압(V_B) 및 IGBT(430)의 컬렉터 전류(I_C)를 나타내 보인 신호 파형도들이다.

<117> 먼저 도 11a는 -40°C 의 동작 온도와 인쇄 회로 기판의 상태가 여유있는 조건을 나타내며, 참조 부호 "1110a", "1110b" 및 "1110c"는 IGBT(430)의 컬렉터 전류(I_C)가 각각 5, 15 및 30A인 경우에서의 HVIC(410)의 단자 전압(V_B)을 나타낸다. 또한 참조 부호 "1120a", "1120b" 및 "1120c"는 IGBT(430)의 컬렉터 전류(I_C)가 각각 5, 15 및 30A인 경우에서의 IGBT(430)의 컬렉터 전류(I_C) 변화를 나타낸다.

<118> 다음에 도 11b는 -40°C 의 동작 온도와 인쇄 회로 기판의 상태가 밀집되어 있는 조건을 나타내며, 참조 부호 "1130a", "1130b" 및 "1130c"는 IGBT(430)의 컬렉터 전류(I_C)가 각각 5, 15 및 30A인 경우에서의 HVIC(410)의 단자 전압(V_B)을 나타낸다. 또한 참조 부호 "1140a", "1140b" 및 "1140c"는 IGBT(430)의 컬렉터 전류(I_C)가 각각 5, 15 및 30A인 경우에서의 IGBT(430)의 컬렉터 전류(I_C) 변화를 나타낸다.

<119> 도 11c는 25°C 의 동작 온도와 인쇄 회로 기판의 상태가 여유있는 조건을 나타내며, 참조 부호 "1150a", "1150b" 및 "1150c"는 IGBT(430)의 컬렉터 전류(I_C)가

각각 5, 15 및 30A인 경우에서의 HVIC(410)의 단자 전압(V_B)을 나타낸다. 또한 참조 부호 "1160a", "1160b" 및 "1160c"는 IGBT(430)의 컬렉터 전류(I_C)가 각각 5, 15 및 30A인 경우에서의 IGBT(430)의 컬렉터 전류(I_C) 변화를 나타낸다.

<120> 도 11a 내지 도 11c의 경우 모두 부트스트랩 저항(452)의 저항값(R_{BS}) 및 임피던스 셀(440)의 등가 저항값($R_{E(H)}$)이 각각 75Ω 및 30Ω인 경우이며, 또한 DC-링크 전압(V_{DC})이 200V이고, 커패시터(451) 방전 전압(V_{CC})이 13V인 경우이다. 도 11a 내지 도 11c에 나타난 바와 같이, 전류 하강의 과도 시간(transient times)이 동작 온도의 변화 및 인쇄 회로 기판의 레이아웃의 변화에 의해 다르더라도, 언더슈트 레벨(undershoot level)은 변하지 않는다는 것을 알 수 있다. 특히 도 11b의 경우, 인쇄 회로 기판의 레이아웃이 여유있는 도 11a의 경우에 비해, 전류 하강 시간이 더 짧다는 것을 나타낸다.

<121> 도 12a는 도 1의 종래의 인버터 회로의 IGBT(130)의 컬렉터-에미터 전압(V_{CE}), 컬렉터 전류(I_C) 및 에너지 손실(E_{loss})을 나타내 보인 신호 파형도이다. 그리고 도 12b는 도 5의 B 형태의 임피던스 셀이 적용된 본 발명에 따른 인버터 회로의 IGBT(430)의 컬렉터-에미터 전압(V_{CE}), 컬렉터 전류(I_C) 및 에너지 손실(E_{loss})을 나타내 보인 신호 파형도이다.

<122> 도 12a의 경우, 부트스트랩 저항(152)의 저항값(R_{BS}) 및 게이트 직렬 저항(R_g)이 각각 100Ω 및 51Ω인 경우이고, 도 12b의 경우, 부트스트랩 저항(452)의 저항값(R_{BS}) 및 임피던스 셀(440)의 등가 저항값($R_{E(H)}$)이 각각 100Ω 및 40Ω인 경우이다. 그리고 두 경우 모두 DC-링크 전압(V_{DC})이 300V이고, 커패시터(151 또는 451) 방전 전압(V_{CC})이 15V인며, 컬렉터 전류(I_C)는 10A인 경우이다. 도 12a 및 도 12b에 도시된 바와 같이, 두 경우 컬렉터-에미터

전압(V_{CE}) 및 컬렉터 전류(I_C)는 거의 유사한 파형들이 나타나며, 따라서 에너지 손실(E_{loss})도 거의 동일하다.

<123> 도 13a 및 도 13b는 도 1의 종래의 인버터 회로의 IGBT(130)의 컬렉터 전류(I_C)의 변화에 따른 컬렉터-에미터 전압(V_{CE}) 및 컬렉터 전류(I_C) 변화를 각각 나타내 보인 신호 파형도들이다.

<124> 도 13a 및 도 13b의 경우, 모두 부트스트랩 저항(152)의 저항값(R_{BS})이 100Ω 이고, DC-링크 전압(V_{DC})이 300V이고, 커패시터(151) 방전 전압(V_{CC})이 15V인 경우이다. 도 13a에서, 참조 부호 "1310a", "1320a", "1330a", "1340a" 및 "1350a"는 컬렉터 전류(I_C)가 각각 5, 10, 15, 20 및 30A인 경우에서의 IGBT(130)의 컬렉터-에미터 전압(V_{CE})을 나타낸다. 도 13b에서, 참조 부호 "1310b", "1320b", "1330b", "1340b" 및 "1350b"는 컬렉터 전류(I_C)가 각각 5, 10, 15, 20 및 30A인 경우에서의 IGBT(130)의 컬렉터 전류(I_C) 변화를 나타낸다.

<125> 도 13a 및 도 13b에 나타낸 바와 같이, 전류 레벨의 증가와 함께 턴 오프 dv/dt 는 증가하며, 전류 하강 시간도 또한 감소된다는 것을 알 수 있다. 이와 같은 결과는 IGBT의 일반적인 스위칭 특성이다. 따라서 턴 오프 전류값에 의해 오버 전압 레벨이 증가되고, 이에 따라 단자 전압(V_B) 증가에 의한 래치 온 문제가 발생할 가능성은 매우 크다.

<126> 도 14a 및 도 14b는 도 5의 B 형태의 임피던스 셀이 적용된 본 발명에 따른 인버터 회로의 IGBT(430)의 컬렉터 전류(I_C)의 변화에 따른 컬렉터-에미터 전압(V_{CE}) 및 컬렉터 전류(I_C) 변화를 각각 나타내 보인 신호 파형도들이다.

<127> 도 14a 및 도 14b의 경우, 모두 부트스트랩 저항(452)의 저항값(R_{BS}) 및 임피던스 셀(440)의 등가 저항값($R_{E(H)}$)이 각각 100Ω 및 40Ω 이고, DC-링크 전압(V_{DC})이 300V이고, 커패시

터(451) 방전 전압(V_{CC})이 15V인 경우이다. 도 14a에서, 참조 부호 "1410a", "1420a", "1430a", "1440a" 및 "1450a"는 컬렉터 전류(I_C)가 각각 5, 10, 15, 20 및 30A인 경우에서의 IGBT(430)의 컬렉터-에미터 전압(V_{CE})을 나타낸다. 도 14b에서, 참조 부호 "1410b", "1420b", "1430b", "1440b" 및 "1450b"는 컬렉터 전류(I_C)가 각각 5, 10, 15, 20 및 30A인 경우에서의 IGBT(430)의 컬렉터 전류(I_C) 변화를 나타낸다.

<128> 도 14a 및 도 14b에 나타난 바와 같이, 40Ω의 임피던스 셀(440)의 등가 저항값($R_{E(H)}$)이 사용될 때 전압 상승 및 전류 하강 시간의 변화가 거의 없다는 것을 알 수 있다. 이는 임피던스 셀(440)의 등가 저항값($R_{E(H)}$)의 이용이 턴 오프 시간동안 dv/dt 및 di/dt 를 능동적으로 제어할 수 있다는 효과가 존재한다는 것을 의미한다. 따라서 본 발명에 따른 인버터 회로의 경우 큰 전류 동작 조건에서도 바람직한 래치 온 억제 제어가 이루어질 수 있다.

<129> 도 15a 및 도 15b는 도 5의 B 형태의 임피던스 셀이 적용된 본 발명에 따른 인버터 회로의 IGBT(430)의 컬렉터 전류(I_C)의 변화에 따른 턴 오프 에너지 손실 및 dv/dt 를 각각 나타내 보인 그래프들이다.

<130> 도 15a 및 도 15b에서, 참조 부호 "1510a" 및 "1520a"는 임피던스 셀(440)의 등가 저항값($R_{E(H)}$)이 0인 경우, 즉 종래의 인버터 회로의 경우를 나타내고, 참조 부호 "1510b" 및 "1520a"는 본 발명에 따른 인버터 회로의 임피던스 셀(440)의 등가 저항값($R_{E(H)}$)이 40Ω인 경우를 나타낸다. 도 15a 및 도 15b에 도시된 바와 같이, 낮은 동작 전류 영역, 예컨대 10A 근처의 정격 전류 레벨 이하의 영역에서, 본 발명에 따른 인버터 회로의 dv/dt 가 더 늦더라도 턴 오프 손실은 거의 동일하다는 것을 알 수 있다. 그러나 높은 전류 영역에서는 종래의 인버터 회로에 비하여 더 늦은 dv/dt 및 di/dt 에 의해 턴 오프 손실이 더 커지게 된다.

<131> 이하에서는 본 발명에 따른 인버터 회로를 300W의 정격을 가는 고성능 용수 펌프 시스템에 적용하는 경우에서의 여러 특성들을 그래프들을 참조하면서 설명하기로 한다. 고성능 용수 펌프 시스템을 구성하는 인버터 회로는 낮은 파워 및 높은 스위칭 속도를 요구하며, 이에 따라 특히 턴 온시의 스위칭 dv/dt 는 낮은 EMI를 위해 다루어져야 한다. 따라서 래치 현상이 작은 부하 전류에 의해서는 발생하지 않으므로, 본 적용예에서의 주요 설계 고려 대상은 dv/dt 제어라 할 수 있다. 이와 같은 응용 분야에서 사용되는 인버터 회로의 임피던스 셀(440)은 도 5의 형태 C를 적용하는 것을 기준으로 설명한다. 그러나 도 5의 다른 형태들을 적용하였을 경우에도 유사한 결과가 나타난다는 것은 쉽게 예상할 수 있을 것이다. 본 응용 예에서 사용된 설계 파라미터들 중 입력 DC-링크 전압(V_{DC})은 200-400V이고, 커패시터(451)에 의해 공급되는 전압(V_{CC})은 13-15V이고, 최대 션트 저항값($R_{shunt,max}$)은 200m Ω 이고, 제한된 최대 부하 전류는 4A이며, 그리고 스위칭 주파수(F_{sw})는 18kHz이다. 사용된 IGBT는 고속도형으로서 3A의 정격 전류를 갖는다.

<132> 도 16a는 도 5의 C 형태의 임피던스 셀이 적용된 본 발명에 따른 인버터 회로의 낮은 dv/dt 제어가 수행될 때의 IGBT(430)의 컬렉터-에미터 전압(V_{CE}), 컬렉터 전류(I_C) 및 에너지 손실(E_{loss})을 나타내 보인 신호 파형도이다. 그리고 도 16b는 도 1의 종래의 인버터 회로의 낮은 dv/dt 제어가 수행될 때의 IGBT(130)의 컬렉터-에미터 전압(V_{CE}), 컬렉터 전류(I_C) 및 에너지 손실(E_{loss})을 나타내 보인 신호 파형도이다.

<133> 도 16a의 경우, 부트스트랩 저항(452)의 저항값(R_{BS}), 게이트 직렬 저항값(R_g) 및 임피던스 셀(440)의 등가 저항값($R_{E(H)}$)이 각각 51 Ω , 51 Ω 및 20 Ω 인 경우이다. 도 16b의 경우, 부트스트랩 저항(152)의 저항값(R_{BS}) 및 게이트 직렬 저항(R_g)이 각각 51 Ω 및 560 Ω 인 경우이다. 그리고 도 16a 및 도 16b에서, 참조 부호 "1610a" 및 "1610b"는 컬렉터-에미터 전

압(V_{CE})을 나타내고, 참조 부호 "1620a" 및 "1620b"는 컬렉터 전류(I_C)를 나타낸다. 도 16a에 도시된 바와 같이, 본 발명에 따른 인버터 회로의 경우 대략 $105\mu J$ 의 에너지 손실을 나타낸 반면, 도 16b에 도시된 바와 같이 종래의 인버터 회로의 경우 대략 $155\mu J$ 의 에너지 손실을 나타내었다. 따라서 본 발명에 따른 인버터 회로의 경우 종래의 인버터 회로의 경우에 비하여, 유사한 dv/dt 기울기에도 불구하고 대략 47%의 턴 온 스위칭 손실 감소율을 나타낸다. 결국 본 발명에 따른 인버터 회로의 경우, 턴 온시에 보다 빠른 di/dt 를 나타내며, 프리휠링 다이오드(도 4의 462)의 역-회복(reverse-recovery)에 의해 야기되는 과전류(over current)도 작아진다. 또한 이 외에도 펄스 폭 변조(PWM) 제어에 있어서 보다 짧은 전파 지연 시간을 제공한다는 이점이 있다.

<134> 도 17a 및 도 17b는 도 5의 C 형태의 임피던스 셀이 적용된 본 발명에 따른 인버터 회로의 임피던스 셀(440)의 등가 저항값($R_{E(H)}$) 변화에 따른 낮은 턴 온 전류 조건에서의 IGBT(430)의 컬렉터-에미터 전압(V_{CE}) 및 컬렉터 전류(I_C)를 각각 나타내 보인 신호 파형도이다. 그리고 도 18a 및 도 1b는 도 5의 C 형태의 임피던스 셀이 적용된 본 발명에 따른 인버터 회로의 임피던스 셀(440)의 등가 저항값($R_{E(H)}$) 변화에 따른 높은 턴 온 전류 조건에서의 IGBT(430)의 컬렉터-에미터 전압(V_{CE}) 및 컬렉터 전류(I_C)를 각각 나타내 보인 신호 파형도이다.

<135> 먼저 도 17a 및 도 17b는, 모두 1A라는 낮은 턴 온 전류 조건하에서 테스트된 경우이며, 입력 DC-링크 전압(V_{DC})이 300V이고, 커패시터(451)에 의해 공급되는 전압(V_{CC})은 15V이다. 도 17a에서, 참조 부호 "1710a", "1720a", "1730a", "1740a" 및 "1750a"는 각각 임피던스 셀(440)의 등가 저항값($R_{E(H)}$)이 각각 0, 10, 20, 30 및 40Ω 인 경우에서의 컬렉터-에미터 전압(V_{CE})을 나타내며, 마찬가지로 도 17b에서, 참조 부호 "1710b", "1720b", "1730b", "1740b" 및 "

1750b"도 각각 임피던스 셀(440)의 등가 저항값($R_{E(H)}$)이 각각 0, 10, 20, 30 및 40 Ω 인 경우에서의 컬렉터 전류(I_C)를 나타낸다. 특히 등가 저항값($R_{E(H)}$)이 0인 경우는 임피던스 셀(440)을 포함하지 않는 종래의 인버터 회로를 나타낸다.

<136> 다음에 도 18a 및 도 18b는, 모두 3A라는 높은 턴 온 전류 조건하에서 테스트된 경우이며, 입력 DC-링크 전압(V_{DC})이 300V이고, 커패시터(451)에 의해 공급되는 전압(V_{CC})은 15V이다. 도 18a에서, 참조 부호 "1810a", "1820a", "1830a", "1840a" 및 "1850a"는 각각 임피던스 셀(440)의 등가 저항값($R_{E(H)}$)이 각각 0, 10, 20, 30 및 40 Ω 인 경우에서의 컬렉터-에미터 전압(V_{CE})을 나타내며, 마찬가지로 도 18b에서, 참조 부호 "1810b", "1820b", "1830b", "1840b" 및 "1850b"도 각각 임피던스 셀(440)의 등가 저항값($R_{E(H)}$)이 각각 0, 10, 20, 30 및 40 Ω 인 경우에서의 컬렉터 전류(I_C)를 나타낸다. 특히 등가 저항값($R_{E(H)}$)이 0인 경우는 임피던스 셀(440)을 포함하지 않는 종래의 인버터 회로를 나타낸다.

<137> 도 17a 및 도 17b와, 도 18a 및 도 18b에 나타낸 바와 같이, 임피던스 셀(440)의 등가 저항값($R_{E(H)}$)이 증가함에 따라 대략 2kV/ μ s 이하의 상당히 낮은 dv/dt를 나타낸다. IGBT(430)를 턴 온 스위칭시키는데 있어서, 낮은 턴 온 전류인 경우(도 17a 및 도 17b)가 상대적으로 높은 턴 온 전류인 경우(도 18a 및 도 18b)보다 더 높은 dv/dt를 발생시킨다. 또한 임피던스 셀(440)의 등가 저항값($R_{E(H)}$)을 조절함으로써 턴 온 과 전류의 최대값을 감소시킬 수는 있지만, 턴 온 di/dt 기울기에는 영향을 끼치지 못한다. 이는 임피던스 셀(440)의 등가 저항값($R_{E(H)}$)이 게이트 저항보다 크지 않아서이며, 이에 따라 턴 온 손실 및 전파 지연 시간이 최소로 증가하기 때문이다.

- <138> 도 19a 및 도 19b는 도 5의 C 형태의 임피던스 셀이 적용된 본 발명에 따른 인버터 회로의 임피던스 셀(440)의 등가 저항값($R_{E(H)}$) 변화에 따른 턴 온 에너지 손실 및 dv/dt 를 각각 나타내 보인 그래프이다.
- <139> 도 19a 및 도 19b에서, 입력 DC-링크 전압(V_{DC})이 300V이고, 커패시터(451)에 의해 공급되는 전압(V_{CC})은 15V이며, 동작 온도(T_C)는 25°C이다. 도 19a에서, 참조 부호 "1910a" 및 "1910b"는 컬렉터 전류(I_C)가 각각 1A 및 3A인 경우에서의 에너지 손실을 나타내며, 마찬가지로 도 19b에서, 참조 부호 "1920a" 및 "1920b"는 컬렉터 전류(I_C)가 각각 1A 및 3A인 경우에서의 dv/dt 를 나타낸다. 도 19a 및 도 19b에 나타난 바와 같이, 임피던스 셀(440)의 등가 저항값($R_{E(H)}$)이 대략 10Ω보다 작은 값이 사용되는 경우, 거의 일정한 dv/dt 가 나타남을 알 수 있다. 예를 들어, 임피던스 셀(440)의 등가 저항값($R_{E(H)}$)이 20Ω인 경우, 모든 전류에 대해 턴 온 dv/dt 는 대략 2.5kV/μs가 된다.
- <140> 턴 오프 스위칭 동작시 많은 전류는, 턴 온 스위칭 동작과는 반대로, 높은 턴 오프 dv/dt 를 발생시킨다. 따라서 낮은 전류에서 턴 오프 dv/dt 는 ENI 문제를 포함하여 IGBT 인버터에서 문제가 되지 않으며, 단지 높은 전류가 흐르는 경우에만 고려 대상이 된다.
- <141> 도 20a 및 도 20b는 도 5의 B 형태의 임피던스 셀이 적용된 본 발명에 따른 인버터 회로의 임피던스 셀(440)의 등가 저항값($R_{E(H)}$) 변화에 따른 낮은 턴 오프 전류 조건에서의 IGBT(430)의 컬렉터-에미터 전압(V_{CE}) 및 컬렉터 전류(I_C)를 각각 나타내 보인 신호 파형도이다. 그리고 도 21a 및 도 21b는 도 5의 B 형태의 임피던스 셀이 적용된 본 발명에 따른 인버터 회로의 임피던스 셀(440)의 등가 저항값($R_{E(H)}$) 변화에 따른 높은 턴 오프 전류 조건에서의 IGBT(430)의 컬렉터-에미터 전압(V_{CE}) 및 컬렉터 전류(I_C)를 각각 나타내 보인 신호 파형도이다. 또한 도 22a 및 도 22b는 도 5의 B 형태의 임피던스 셀이 적용된 본 발명에 따른 인버터

회로의 임피던스 셀(440)의 등가 저항값($R_{E(H)}$) 변화에 따른 턴 온 에너지 손실 및 dv/dt 를 각각 나타내 보인 그래프이다.

<142> 먼저 도 20a 및 도 20b는, 모두 1A라는 낮은 턴 오프 전류 조건하에서 테스트된 경우이며, 입력 DC-링크 전압(V_{DC})이 300V이고, 커패시터(451)에 의해 공급되는 전압(V_{CC})은 15V이다. 도 20a에서, 참조 부호 "2010a", "2020a", "2030a" 및 "2040a"는 각각 임피던스 셀(440)의 등가 저항값($R_{E(H)}$)이 각각 0, 20, 40 및 68 Ω 인 경우에서의 컬렉터-에미터 전압(V_{CE})을 나타내며, 마찬가지로 도 20b에서, 참조 부호 "2010b", "2020b", "2030b" 및 "2040b"도 각각 임피던스 셀(440)의 등가 저항값($R_{E(H)}$)이 각각 0, 20, 40 및 68 Ω 인 경우에서의 컬렉터 전류(I_C)를 나타낸다. 특히 등가 저항값($R_{E(H)}$)이 0인 경우는 임피던스 셀(440)을 포함하지 않는 종래의 인버터 회로를 나타낸다.

<143> 다음에 도 21a 및 도 21b는, 모두 4A라는 높은 턴 오프 전류 조건하에서 테스트된 경우이며, 입력 DC-링크 전압(V_{DC})이 300V이고, 커패시터(451)에 의해 공급되는 전압(V_{CC})은 15V이다. 도 21a에서, 참조 부호 "2110a", "2120a", "2130a" 및 "2140a"는 각각 임피던스 셀(440)의 등가 저항값($R_{E(H)}$)이 각각 0, 20, 40 및 68 Ω 인 경우에서의 컬렉터-에미터 전압(V_{CE})을 나타내며, 마찬가지로 도 21b에서, 참조 부호 "2110b", "2120b", "2130b" 및 "2140b"도 각각 임피던스 셀(440)의 등가 저항값($R_{E(H)}$)이 각각 0, 20, 40 및 68 Ω 인 경우에서의 컬렉터 전류(I_C)를 나타낸다. 특히 등가 저항값($R_{E(H)}$)이 0인 경우는 임피던스 셀(440)을 포함하지 않는 종래의 인버터 회로를 나타낸다.

<144> 다음에 도 22a 및 도 22b에서, 입력 DC-링크 전압(V_{DC})이 300V이고, 커패시터(451)에 의해 공급되는 전압(V_{CC})은 15V이며, 동작 온도(T_C)는 25 $^{\circ}\text{C}$ 이다. 도 22a에서, 참조 부호 "2210a" 및 "2210b"는 컬렉터 전류(I

c)가 각각 1A 및 4A인 경우에서의 에너지 손실을 나타내며, 마찬가지로 도 22b에서, 참조 부호 "2220a" 및 "2220b"는 컬렉터 전류(I_C)가 각각 1A 및 3A인 경우에서의 dv/dt 를 나타낸다.

<145> 먼저 도 20a 및 도 20b와, 도 22a 및 도 22b에 도시된 바와 같이, 1A라는 낮은 턴 오프 전류 조건하에 임피던스 셀(440)의 등가 저항값($R_{E(H)}$)은 dv/dt 제어에 영향을 끼치지 못한다는 것을 알 수 있다. 단지 대략 $1.5kV/\mu s$ 이하의 dv/dt 값은 실제 응용 관점에서 보면 상당히 작은 값이라는 것은 쉽게 알 수 있다. 다음에 도 21a 및 도 21b에 도시된 바와 같이, 4A의 높은 턴 오프 전류 조건하에서는 대략 20Ω 이상의 등가 저항값($R_{E(H)}$)을 사용하는 경우 턴 오프 dv/dt 감소에 유용하다는 것을 알 수 있다.

<146> 서보-구동 시스템과 같은 대부분의 응용 분야에 있어서, 전류 제어 및 그라운드-쇼트(ground-short) 보호를 위해서는 인버터의 출력 전류를 검출할 필요가 있다. 그라운드-쇼트 상황이 발생하면, 유기되는 큰 전류는 턴 오프시에 HVIC를 래치 온 시킬 수 있으며, 결과적으로 시스템이 파괴될 수도 있다.

<147> 도 23은 본 발명에 따른 인버터 회로의 응용 예를 나타내 보인 회로도로서, 구체적으로 도 5의 형태 A의 임피던스 셀(440)을 채용하고 그라운드-쇼트 현상이 발생한 경우에서의 회로도이다. 도 23에서 도 4와 동일한 참조 부호는 동일한 요소를 나타낸다. 그리고 도 24a 및 도 24b는 그라운드-쇼트 상황에서의 입력 명령 신호(IN)와 컬렉터 전류(I_C)를 종래의 인버터 회로 및 본 발명에 따른 인버터 회로에 대해 각각 나타내 보인 신호 파형도들이다.

<148> 먼저 도 23에 도시된 바와 같이, 그라운드-쇼트 현상이 발생하면 "A"로 표시한 바와 같이 IGBT(430)의 에미터 단자이면서 동시에 임피던스 셀(440)의 한쪽 단자가 그라운드에 단락된다. 그러면 도 24a에 도시된 바와 같이, 임피던스 셀(440)의 등가 저항값($R_{E(H)}$)이 0인 종래의 인

버터 회로의 경우, 노드 b에서의 높은 네가티브 전압 강하에 의해 높은 di/dt 가 발생하고, 이로 인하여 IGBT(430)의 턴 오프 기간 동안에 래치 온 현상이 발생한다. 그러나 도 24b에 도시된 바와 같이, 임피던스 셀(440)의 등가 저항값($R_{E(H)}$)이 40Ω 인 본 발명에 따른 인버터 회로의 경우, 래치 온 현상이 발생하지 않는다. 턴 오프시의 최대 전류 레벨은 두 경우 모두 비슷하게 나타나며, 단지 전류 하강 시간만 다르다.

【발명의 효과】

<149> 이상의 설명에서와 같이, 본 발명에 따른 인버터 회로에 의하면, 스위칭 소자로서의 IGBT의 게이트 제어 신호를 발생시키는 HVIC의 출력 단자와 IGBT의 에미터 단자 사이에 임피던스 셀을 배치시킴으로써, HVIC의 일 출력 단자에서의 전압 강하량을 감소시키고, 이에 따라 래치 온 현상과 래치 업 현상을 억제시키는 동시에 뛰어난 dv/dt 제어 능력을 제공할 수 있다는 이점을 제공한다.

<150> 이상 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능함은 당연하다.

【특허청구범위】**【청구항 1】**

게이트 단자로 입력되는 게이트 제어 신호에 대응되는 스위칭 동작을 수행하여 입력되는 직류 전원을 교류 전원으로 변환하여 출력시키는 스위칭 소자;

상기 스위칭 소자의 게이트 단자로 상기 게이트 제어 신호를 입력시키는 고전압 집적 회로;

상기 고전압 집적 회로가 상기 게이트 제어 신호를 발생하도록 하는 제어 신호를 상기 고전압 집적 회로로 입력하는 컨트롤러;

상기 고전압 집적 회로의 고전압측 영역에 에너지를 전달해주는 부트스트랩 회로; 및

상기 고전압 집적 회로 및 상기 스위칭 소자의 일 단자 사이에 배치되어 상기 고전압 집적 회로의 고전압측 전압 강하량을 감소시키는 임피던스 셀을 구비하는 것을 특징으로 하는 인버터 회로.

【청구항 2】

제1항에 있어서,

상기 스위칭 소자는, 직류 입력 전원에 컬렉터 단자가 연결되고, 출력단에 에미터 단자가 연결되는 절연 게이트 바이폴라 트랜지스터인 것을 특징으로 하는 인버터 회로.

【청구항 3】

제2항에 있어서,

상기 임피던스 셀은 상기 고전압 집적 회로와 상기 절연 게이트 바이폴라 트랜지스터의 에미터 단자 사이에 배치되는 것을 특징으로 하는 인버터 회로.

【청구항 4】

제1항에 있어서, 상기 부트스트랩 회로는,

전원 ;

상기 전원과 직렬로 연결된 부트스트랩 저항기;

애노드 단자가 상기 부트스트랩 저항기에 직렬로 연결되고 캐소드 단자는 상기 부트스트랩 저항기와 반대로 향하도록 배치된 부트스트랩 다이오드; 및

상기 부트스트랩 다이오드의 캐소드 단자와 상기 고전압 집적 회로 및 상기 임피던스 셀에 공통으로 연결되는 노드에 연결되는 부트스트랩 커패시터를 포함하는 것을 특징으로 하는 인버터 회로.

【청구항 5】

제1항에 있어서,

상기 임피던스 셀은, 하나의 저항기를 포함하는 것을 특징으로 하는 인버터 회로.

【청구항 6】

제1항에 있어서,

상기 임피던스 셀은, 하나의 저항기 및 상기 저항기와 병렬로 연결된 다이오드를 포함하는 것을 특징으로 하는 인버터 회로.

【청구항 7】

제6항에 있어서,

상기 다이오드는, 애노드 단자가 상기 스위칭 소자와 연결되고 캐소드 단자가 상기 고전압 집적 회로에 연결되도록 배치되는 것을 특징으로 하는 인버터 회로.

【청구항 8】

제6항에 있어서,

상기 다이오드는, 애노드 단자가 상기 고전압 집적 회로와 연결되고 캐소드 단자가 상기 스위칭 소자에 연결되도록 배치되는 것을 특징으로 하는 인버터 회로.

【청구항 9】

제1항에 있어서,

상기 임피던스 셀은, 하나의 제1 저항기와, 상기 제1 저항기와는 병렬로 연결되면서 상호 직렬로 연결된 제2 저항기 및 다이오드를 포함하는 것을 특징으로 하는 인버터 회로.

【청구항 10】

제9항에 있어서,

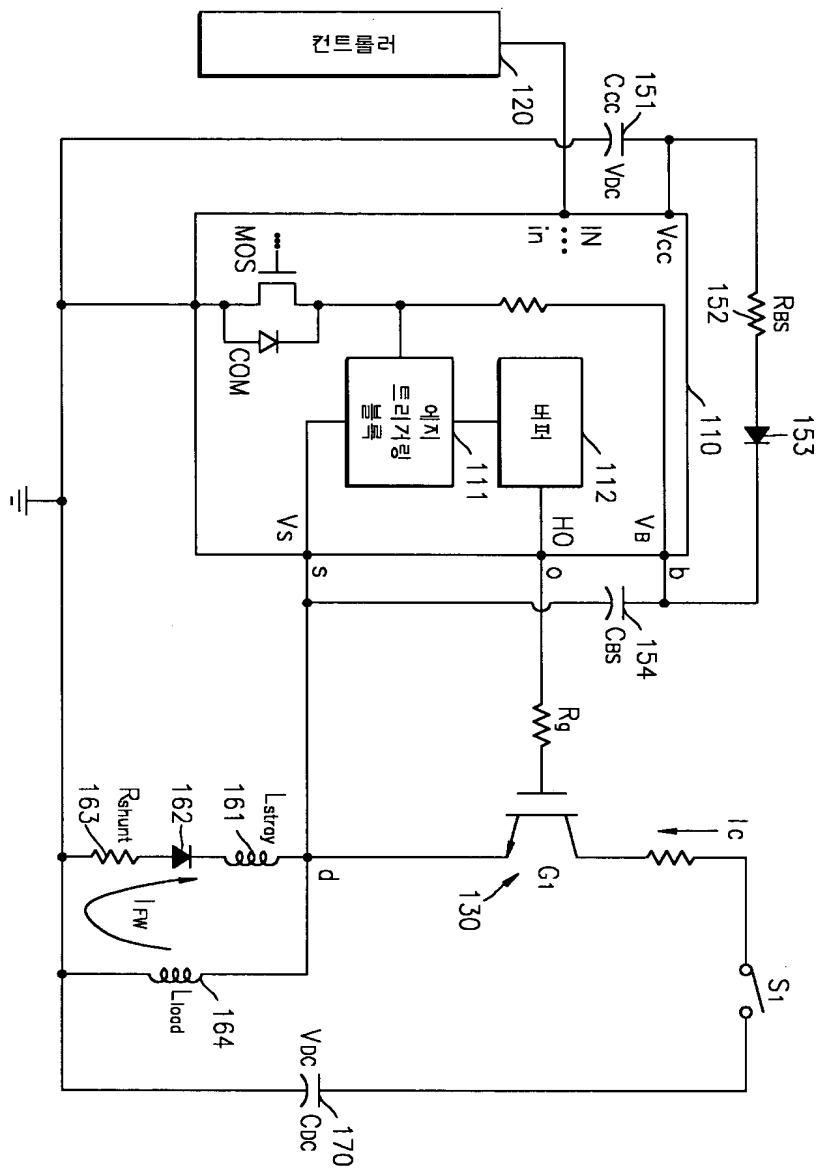
상기 다이오드는, 애노드 단자가 상기 스위칭 소자와 연결되고 캐소드 단자가 상기 제2 저항기를 통해 상기 고전압 집적 회로에 연결되도록 배치되는 것을 특징으로 하는 인버터 회로.

【청구항 11】

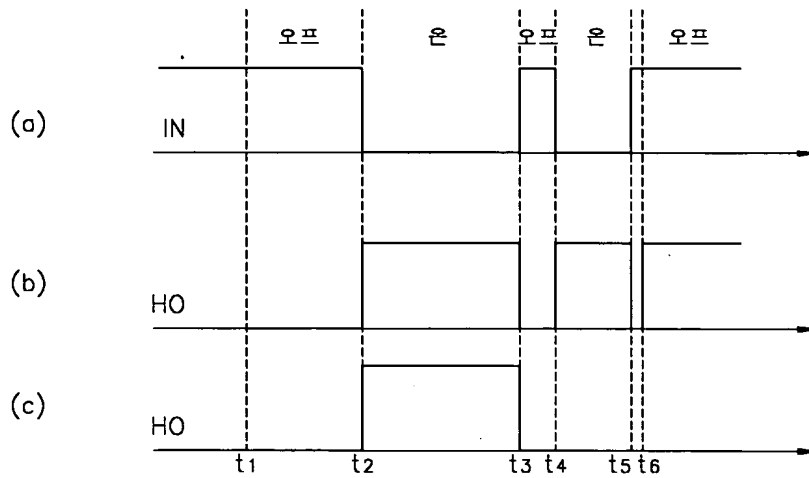
제9항에 있어서,

상기 다이오드는, 애노드 단자가 상기 제2 저항기를 통해 상기 고전압 집적 회로와 연결되고 캐소드 단자가 상기 스위칭 소자에 연결되도록 배치되는 것을 특징으로 하는 인버터 회로.

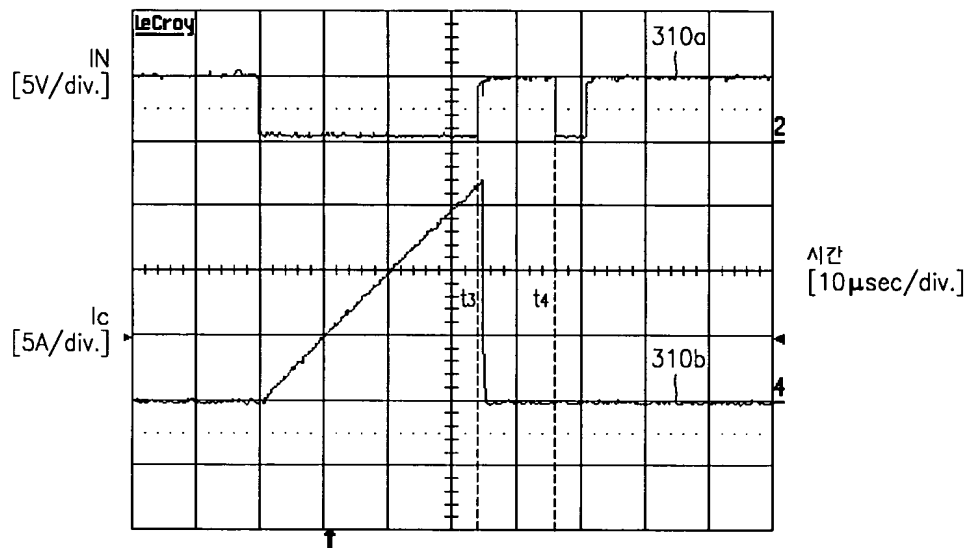
【도 1】



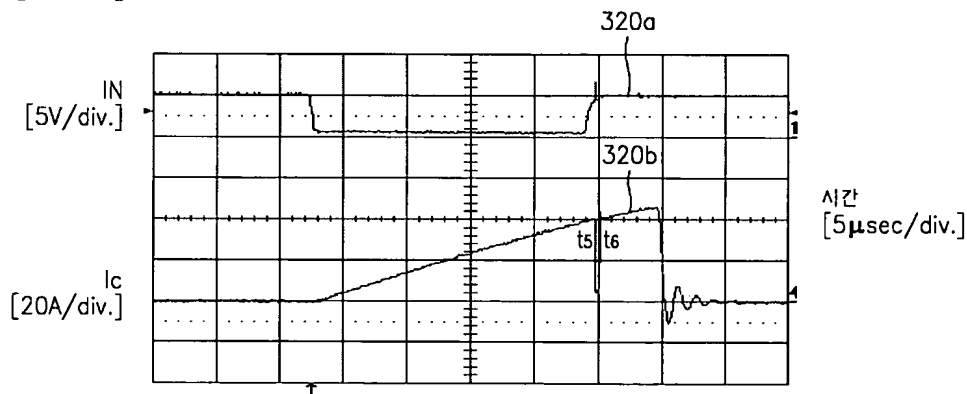
【도 2】



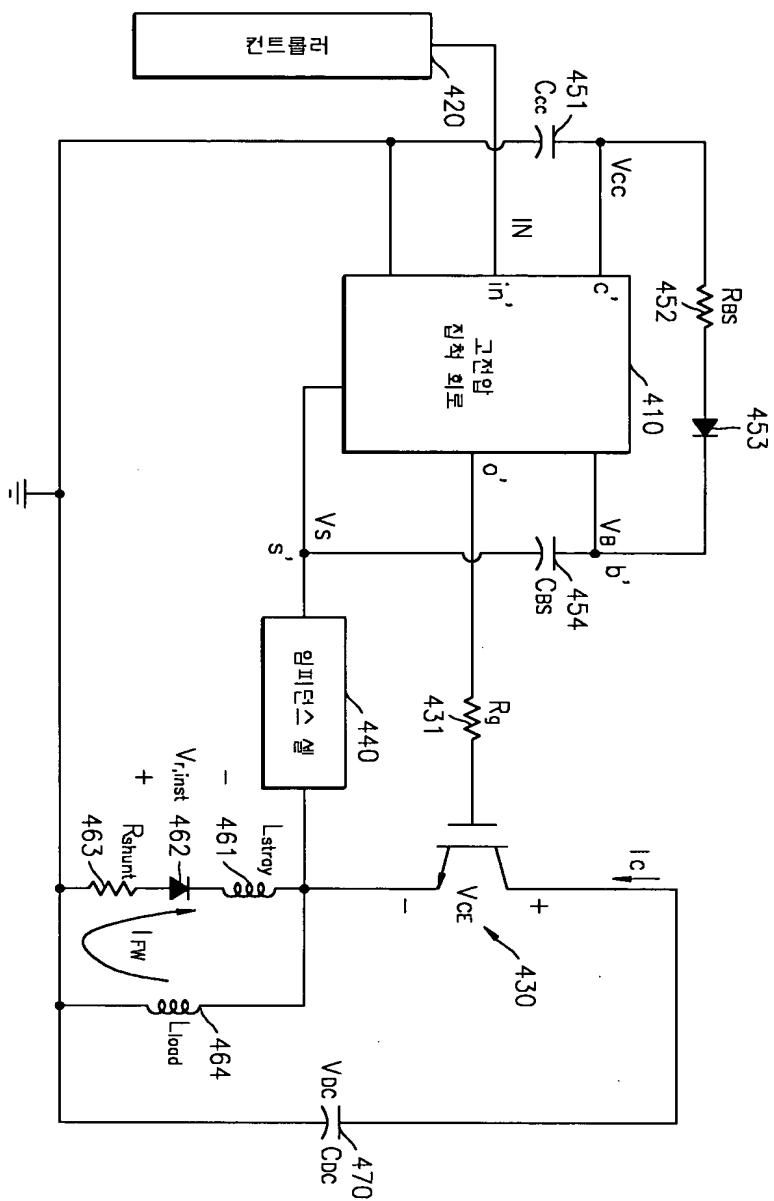
【도 3a】



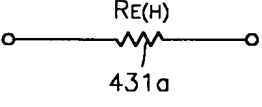
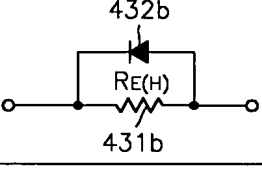
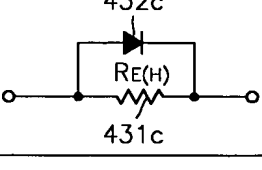
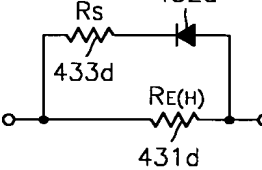
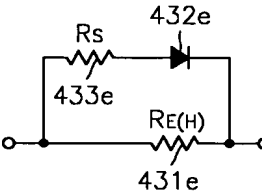
【도 3b】



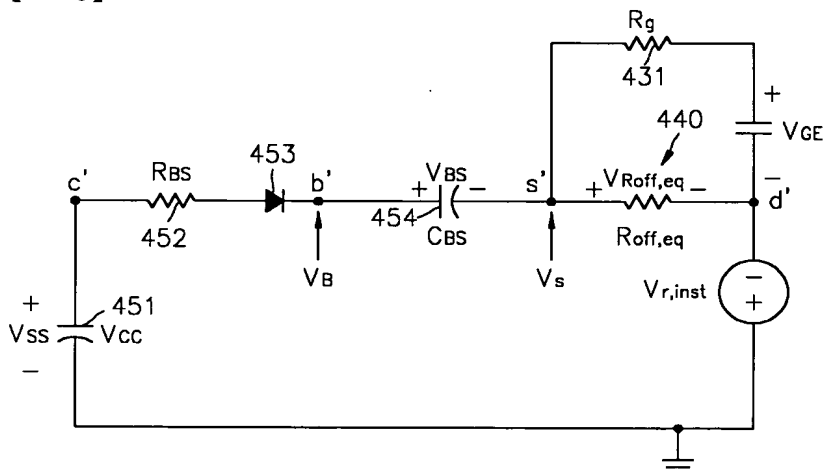
【도 4】



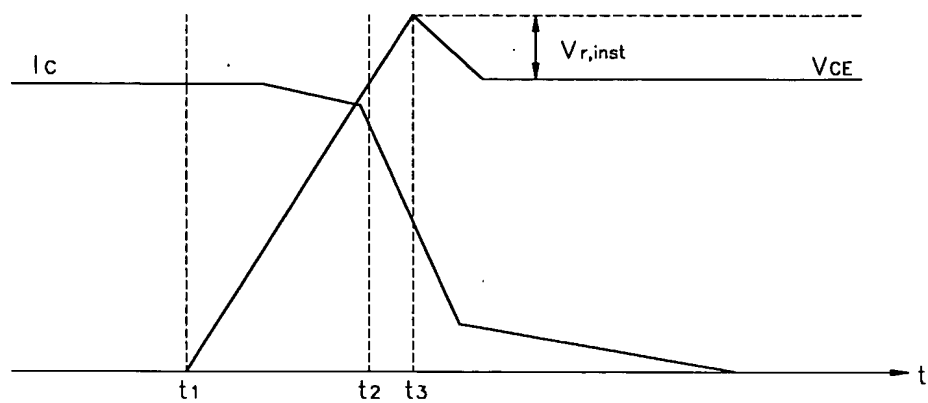
【도 5】

| 형 태 | 임피던스 셸 | 등가 저항 |
|-----|---|---|
| A |  431a | a) $R_{on,eq} = RE(H)$ b) $R_{off,eq} = RE(H)$ |
| B |  431b | a) $R_{on,eq} = 0$ b) $R_{off,eq} = RE(H)$ |
| C |  431c | a) $R_{on,eq} = RE(H)$ b) $R_{off,eq} = 0$ |
| D |  431d | a) $R_{on,eq} = RE(H) // Rs$ b) $R_{off,eq} = RE(H)$ |
| E |  431e | a) $R_{on,eq} = RE(H)$ b) $R_{off,eq} = RE(H) // Rs$ |

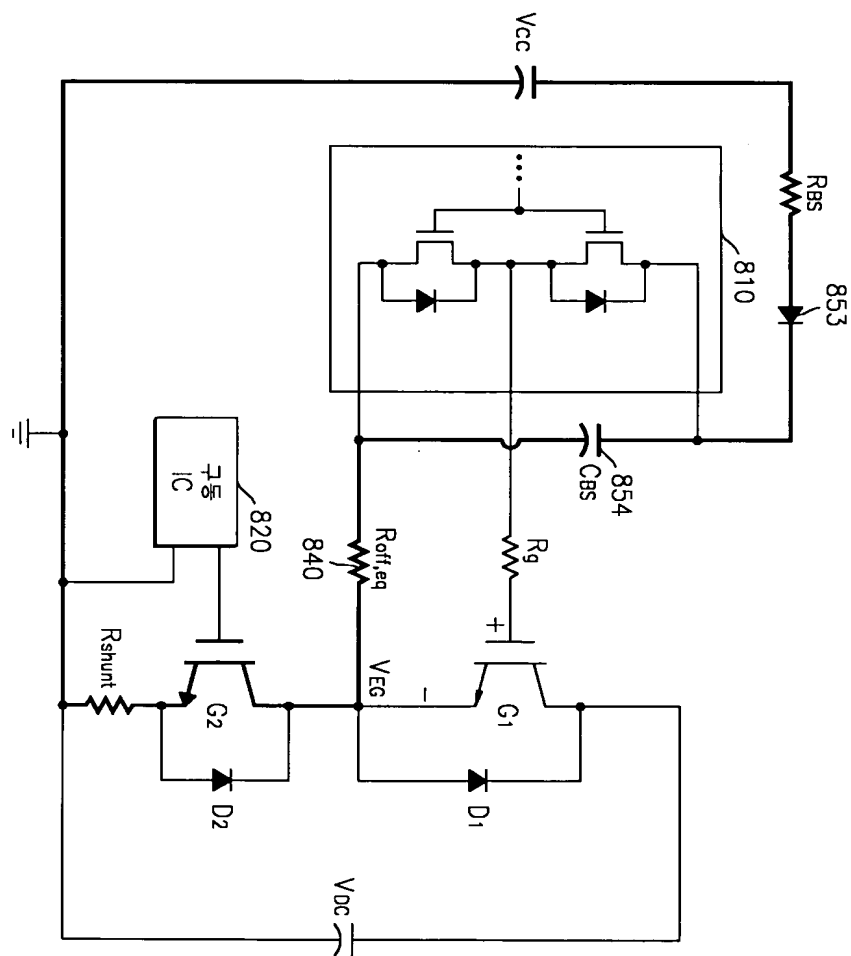
【도 6】



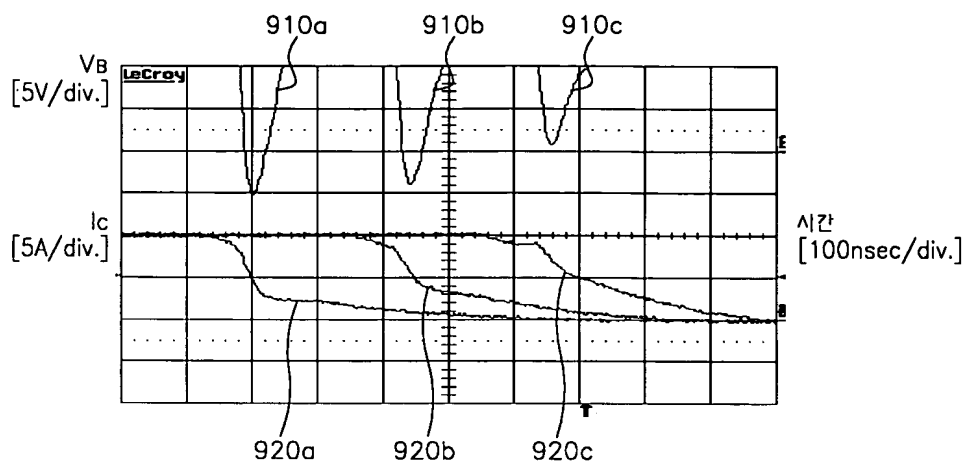
【도 7】



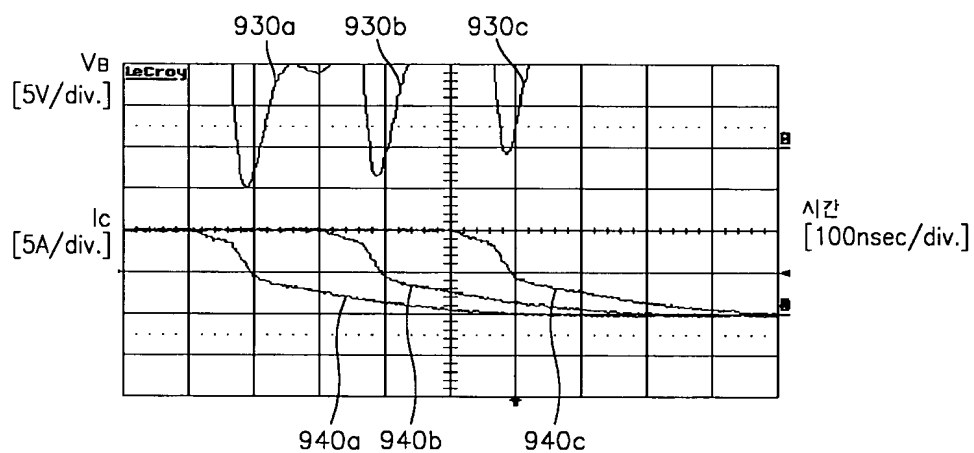
【도 8】



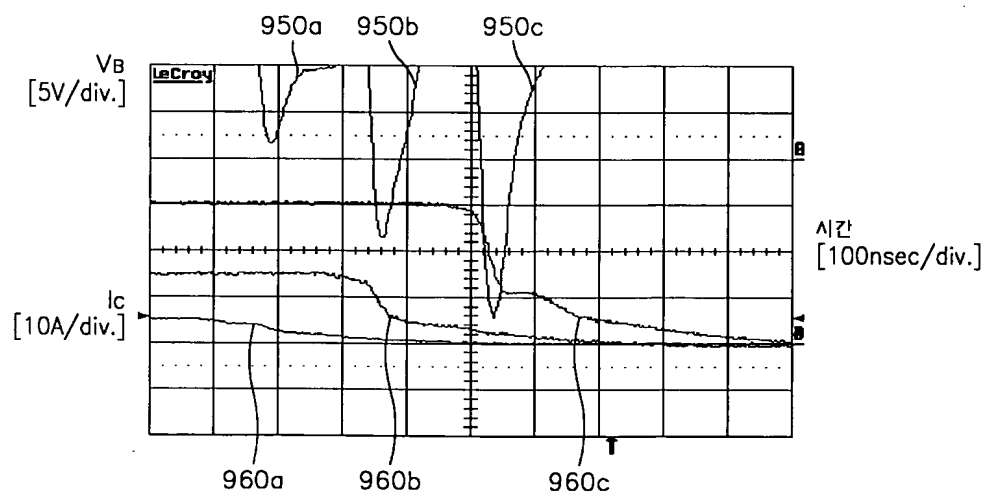
【도 9a】



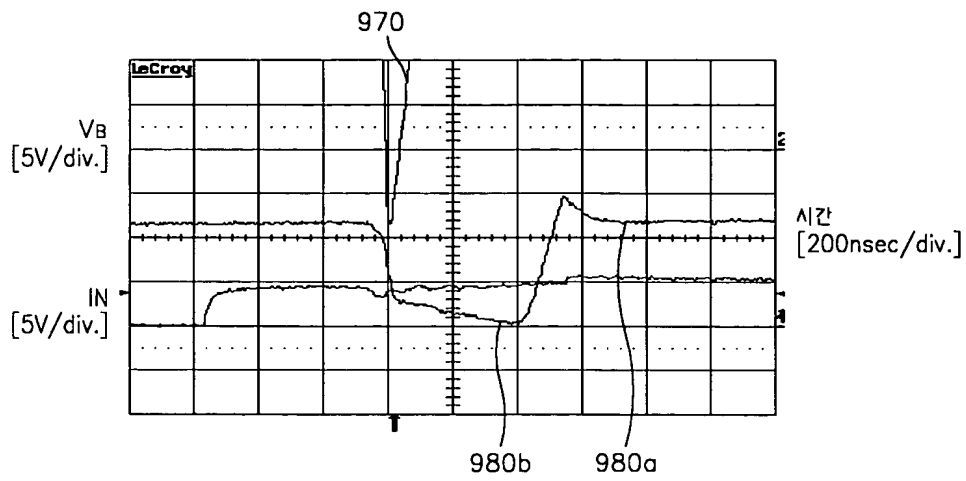
【도 9b】



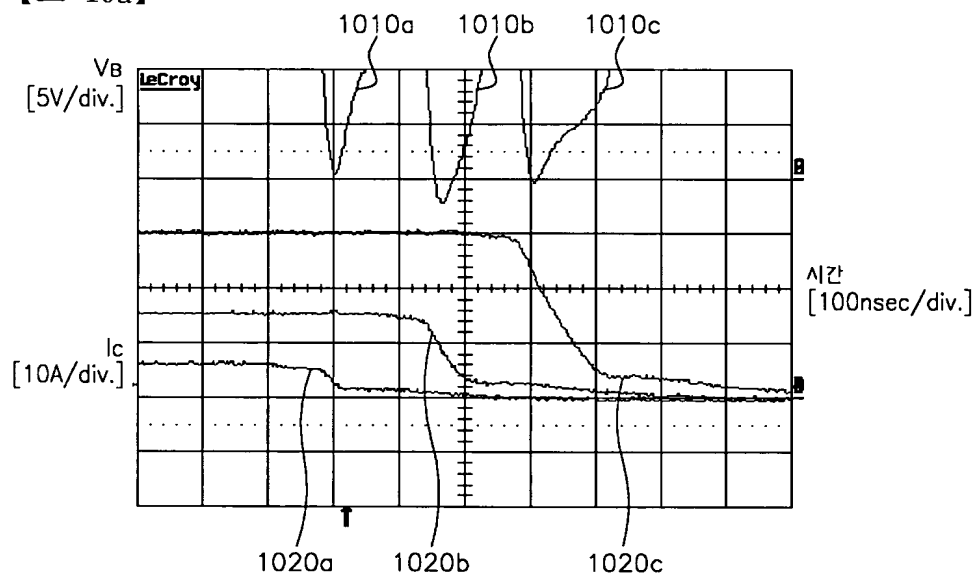
【도 9c】



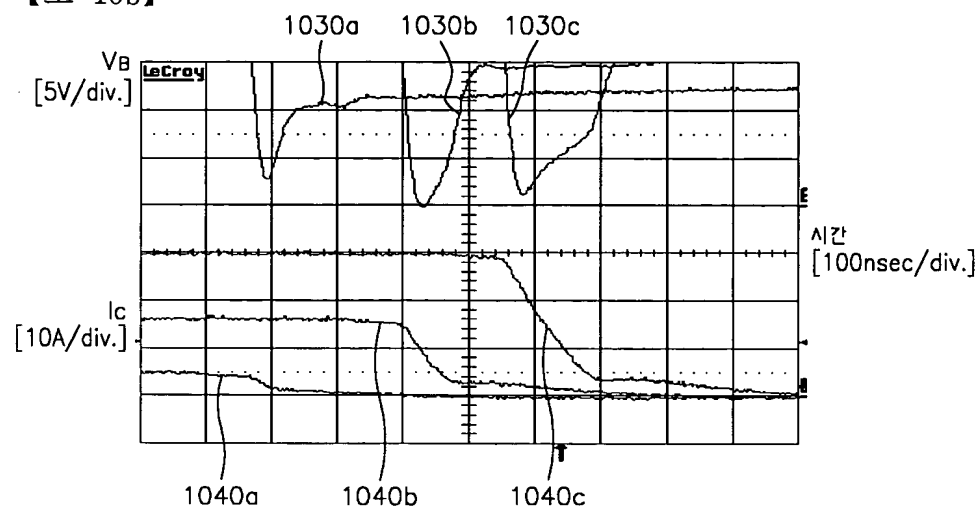
【도 9d】



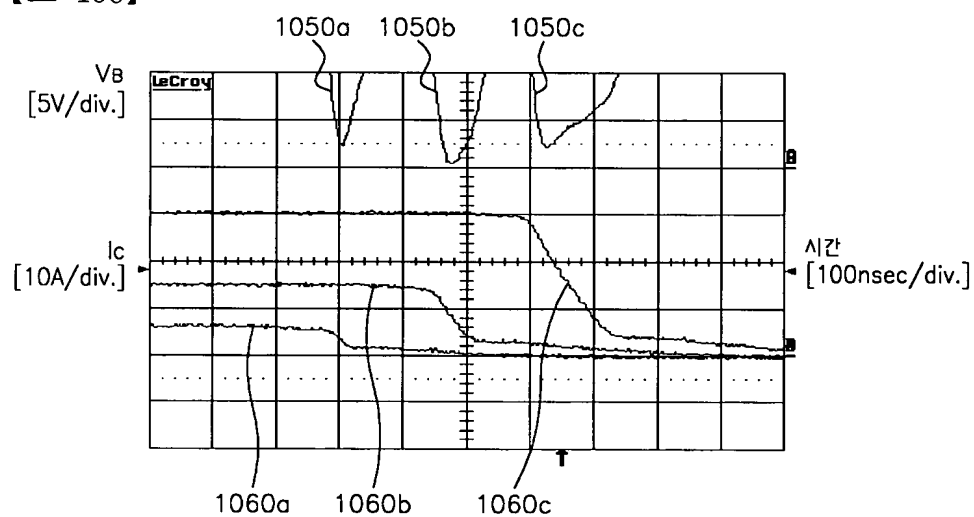
【도 10a】



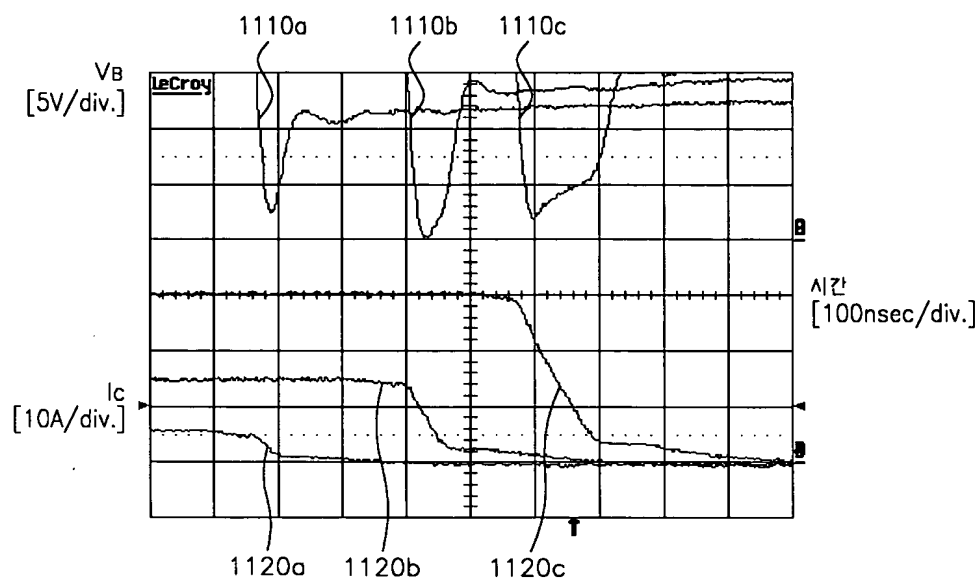
【도 10b】



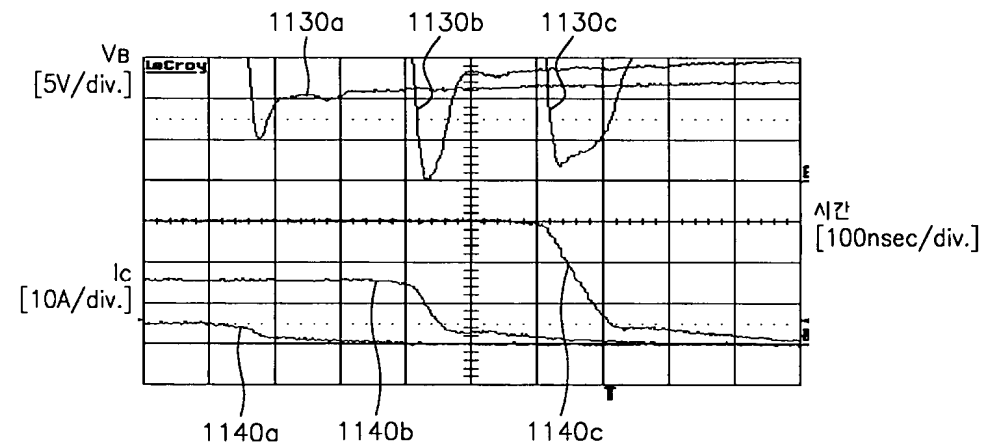
【도 10c】



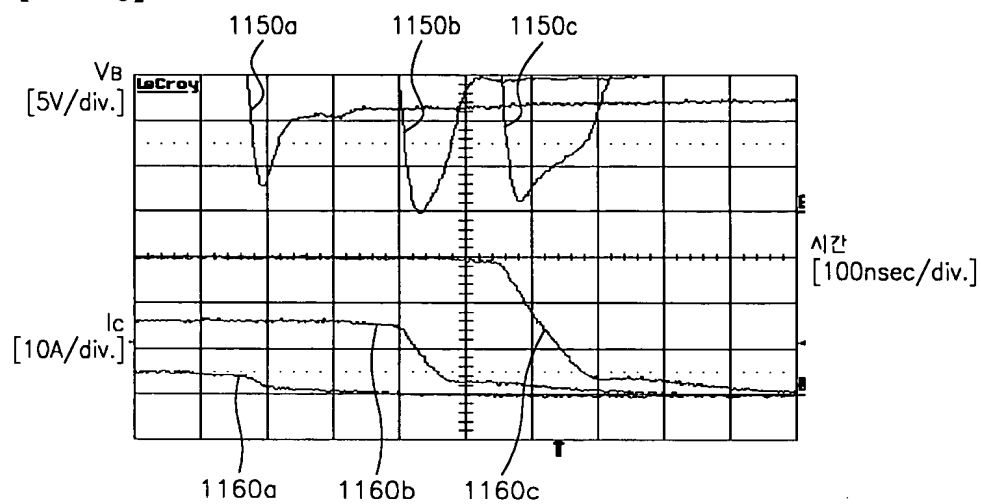
【도 11a】



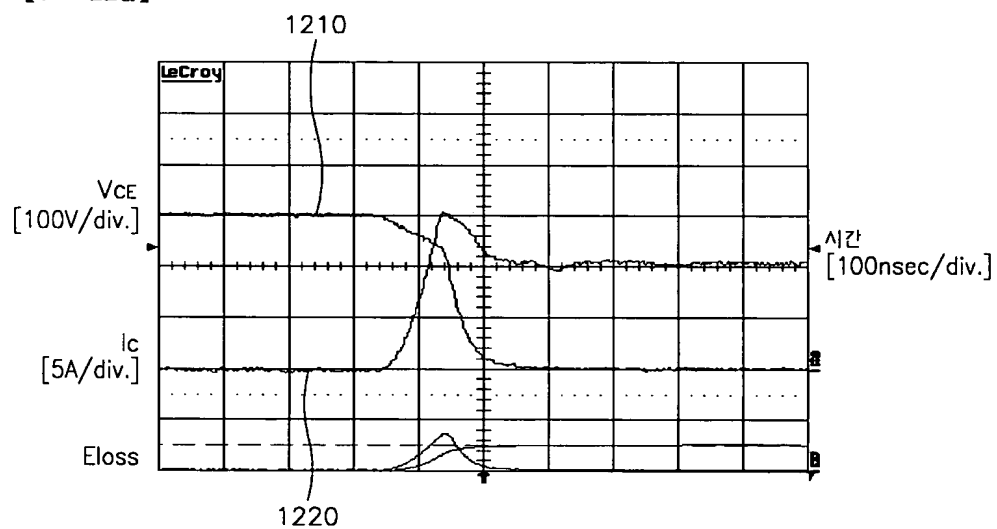
【도 11b】



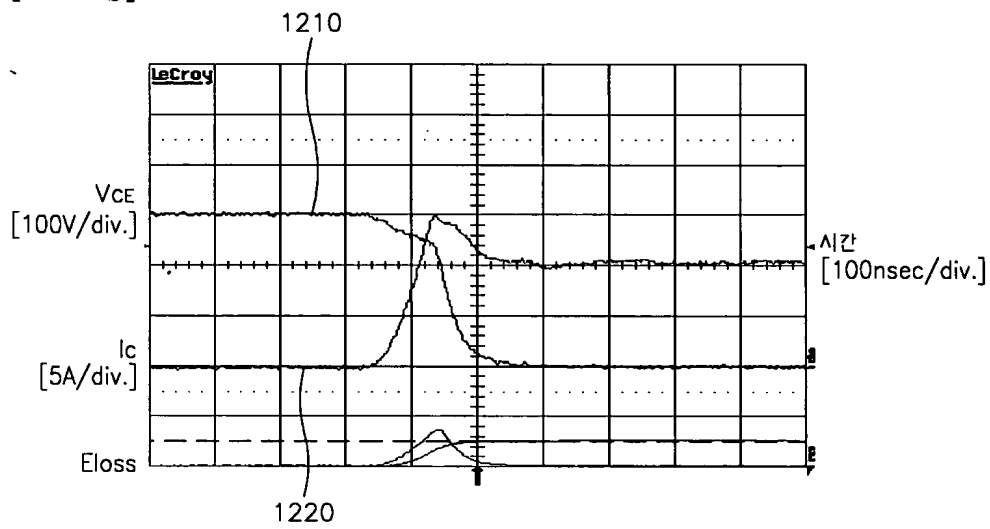
【도 11c】



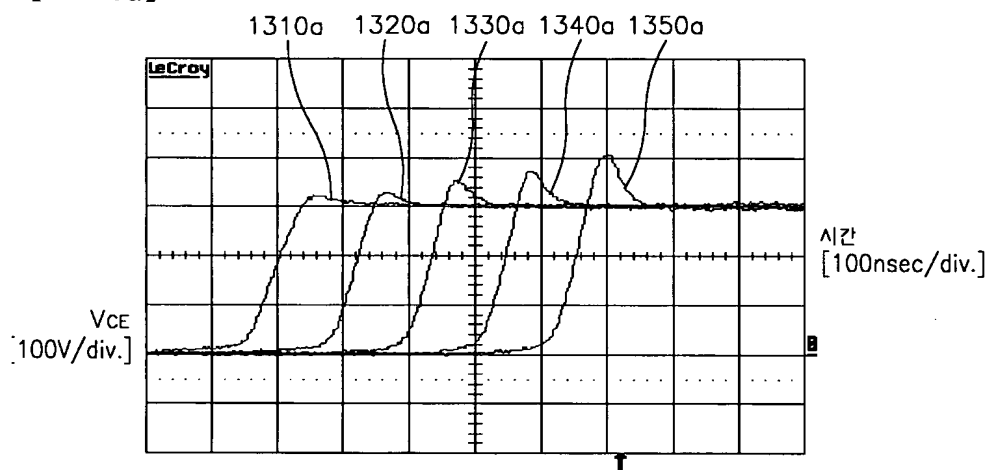
【도 12a】



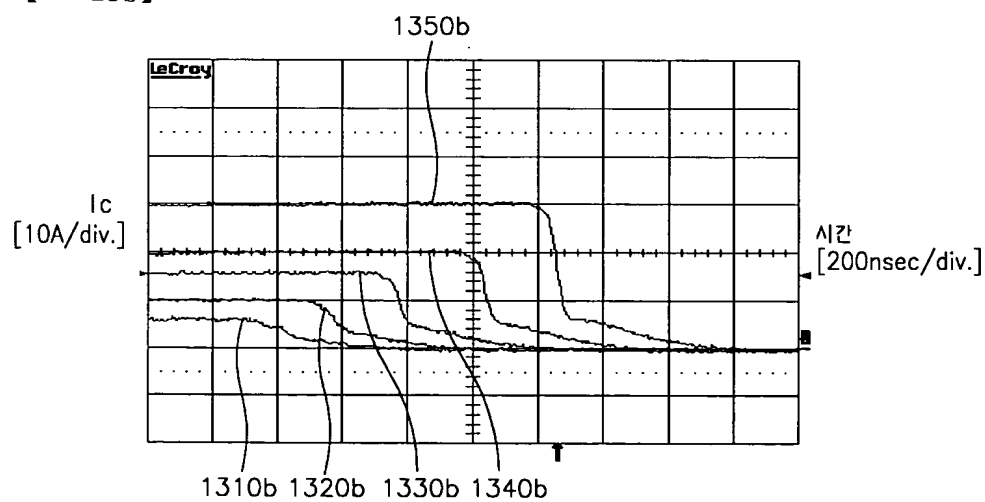
【도 12b】



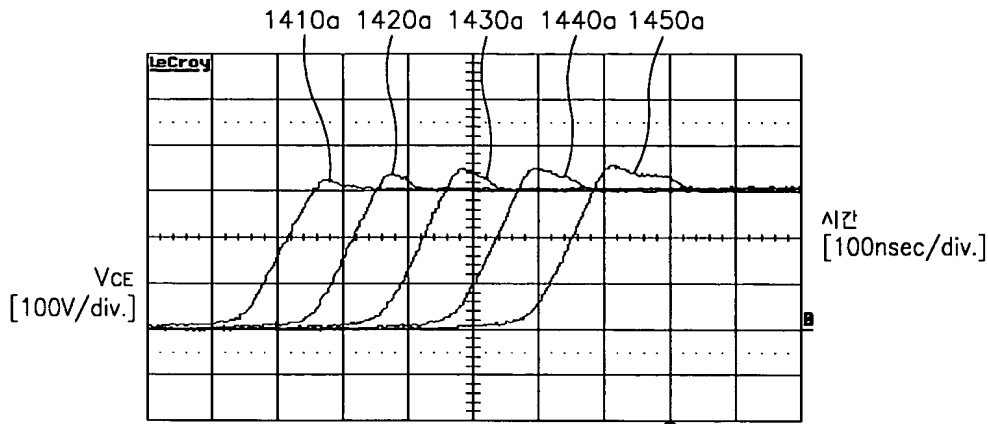
【도 13a】



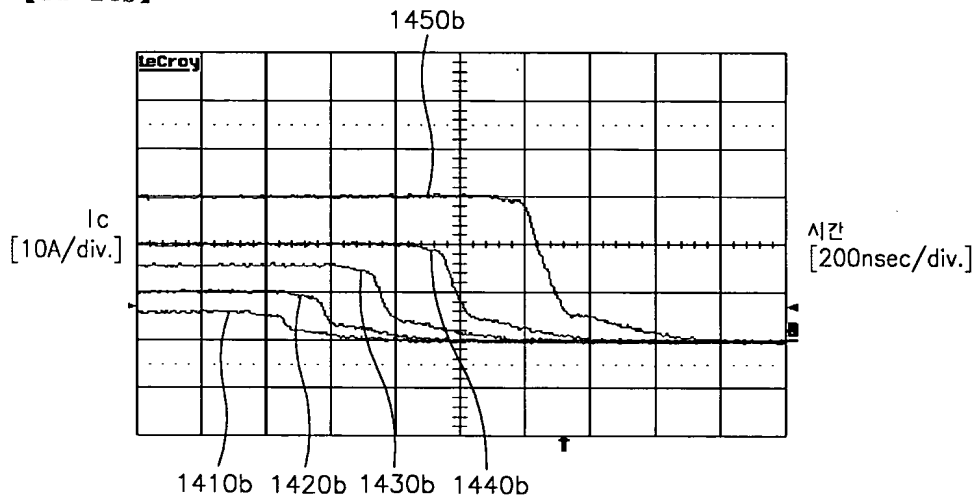
【도 13b】



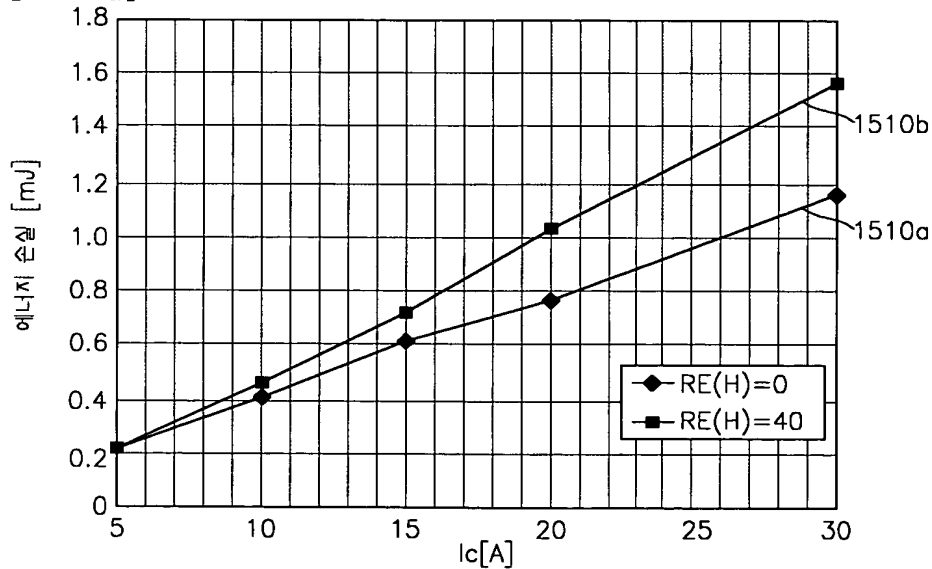
【도 14a】



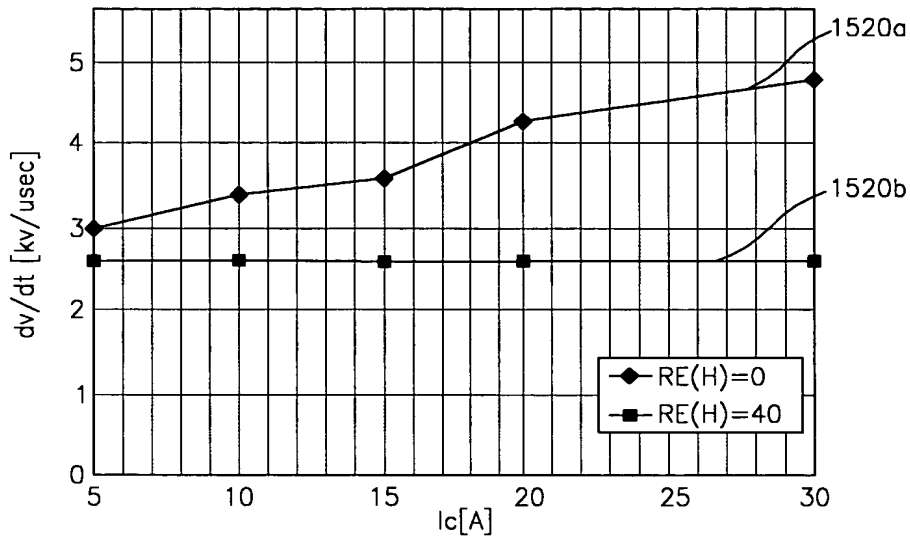
【도 14b】



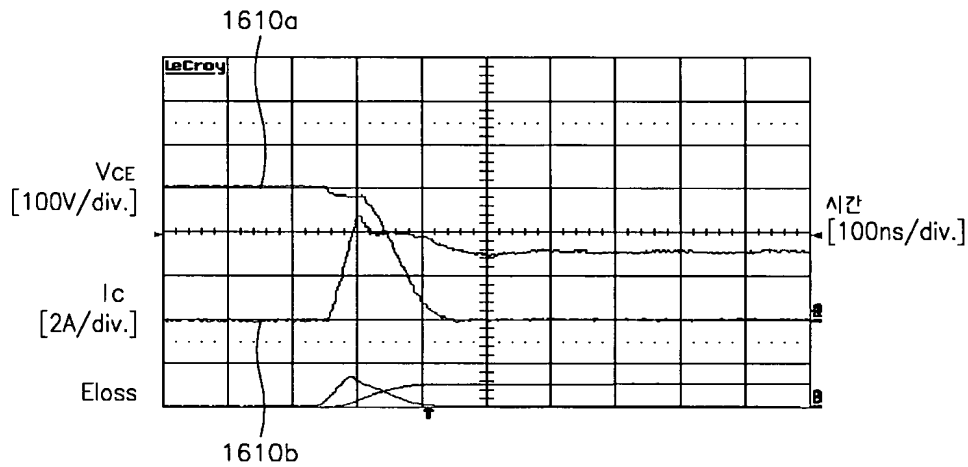
【도 15a】



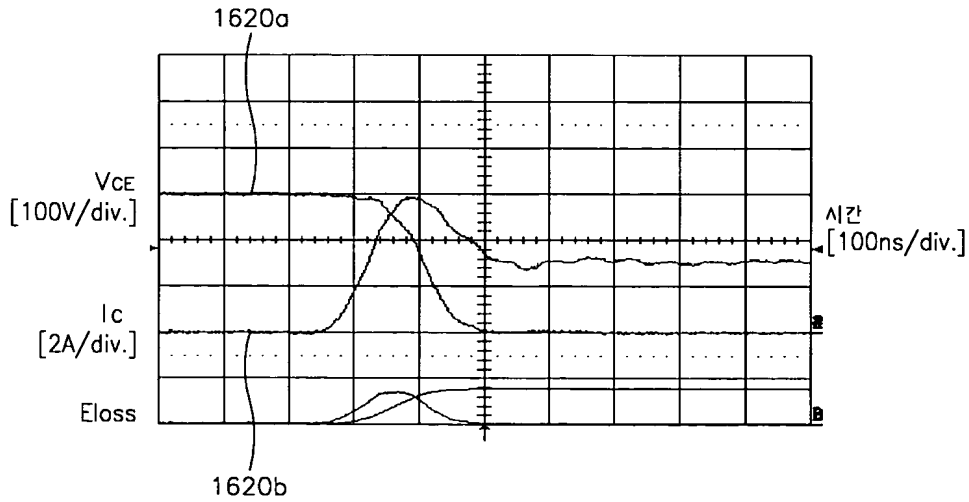
【도 15b】



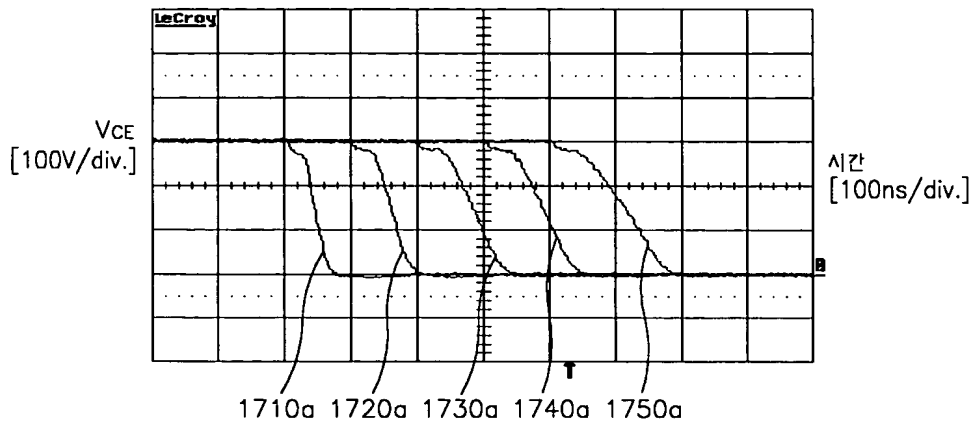
【도 16a】



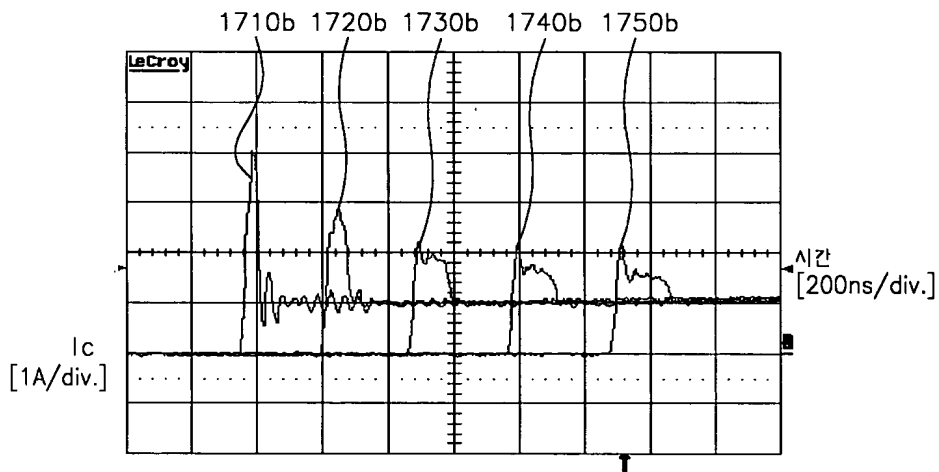
【도 16b】



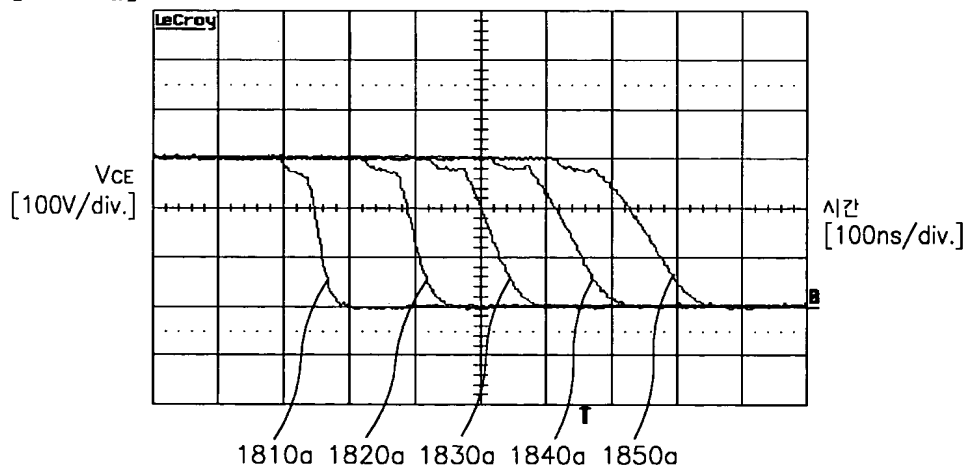
【도 17a】



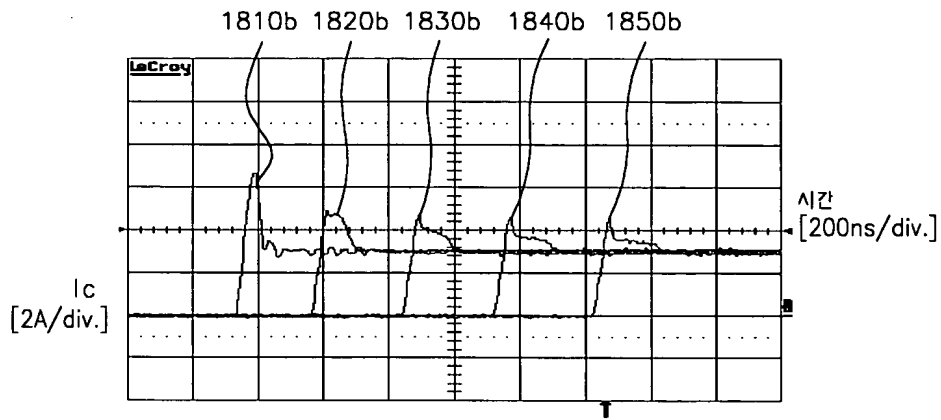
【도 17b】



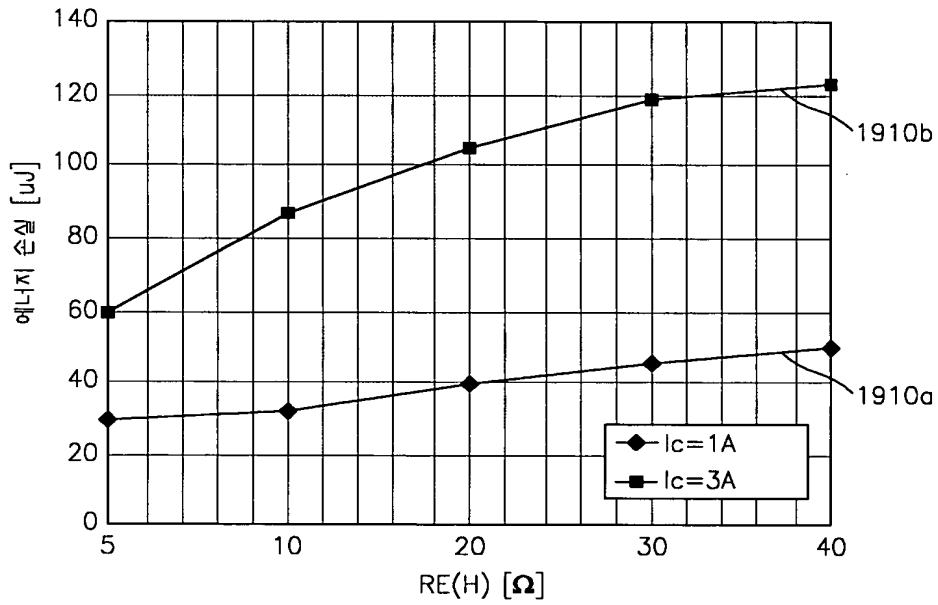
【도 18a】



【도 18b】

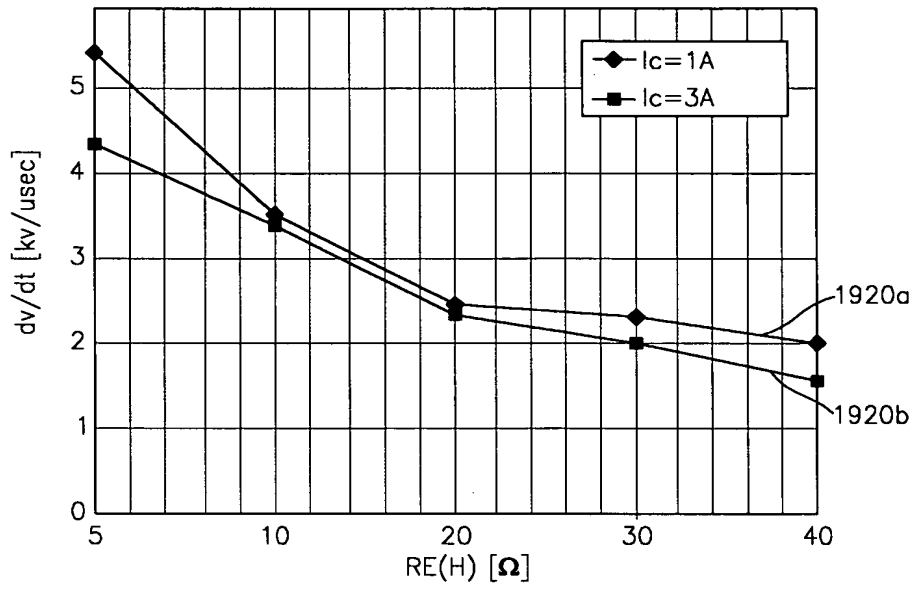


【도 19a】

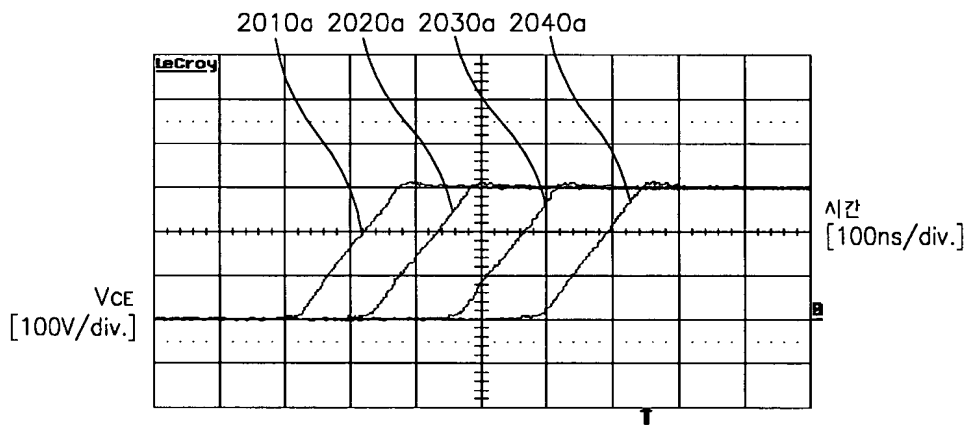




【도 19b】

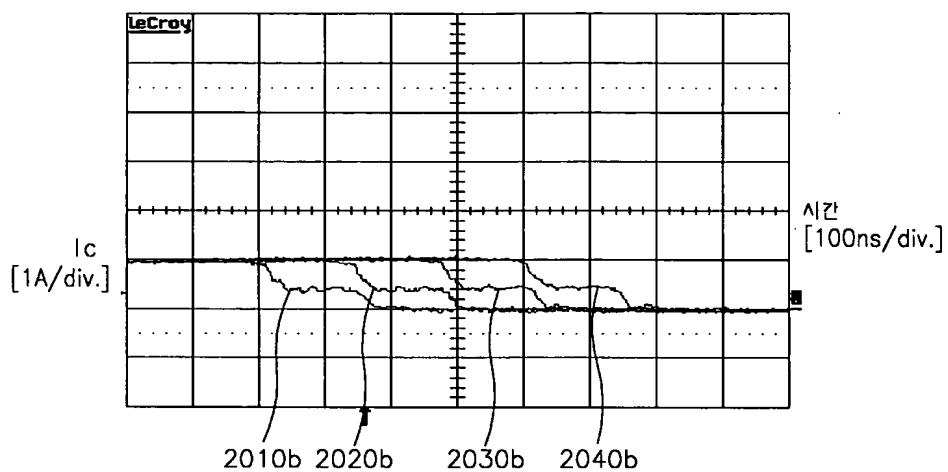


【도 20a】

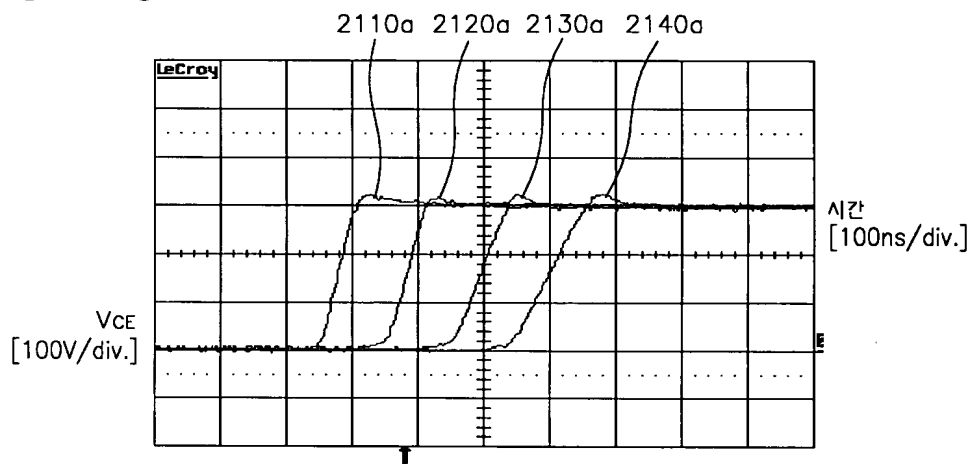




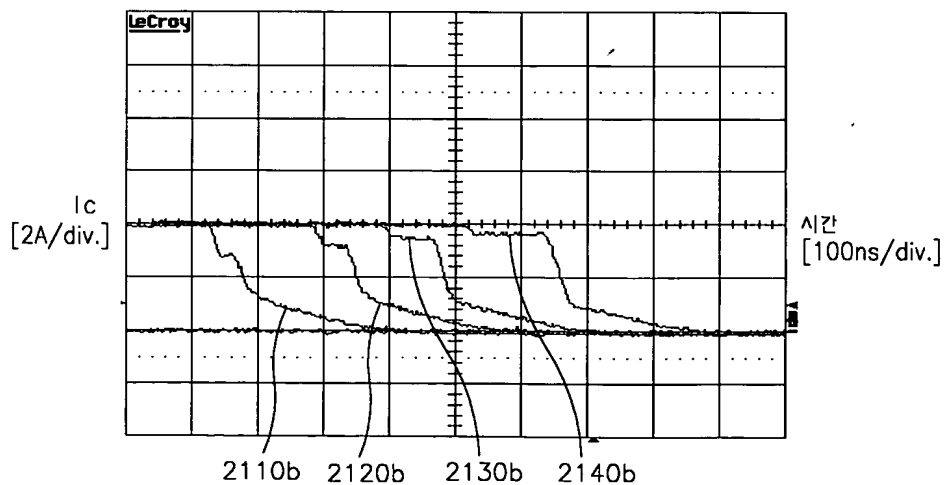
【도 20b】



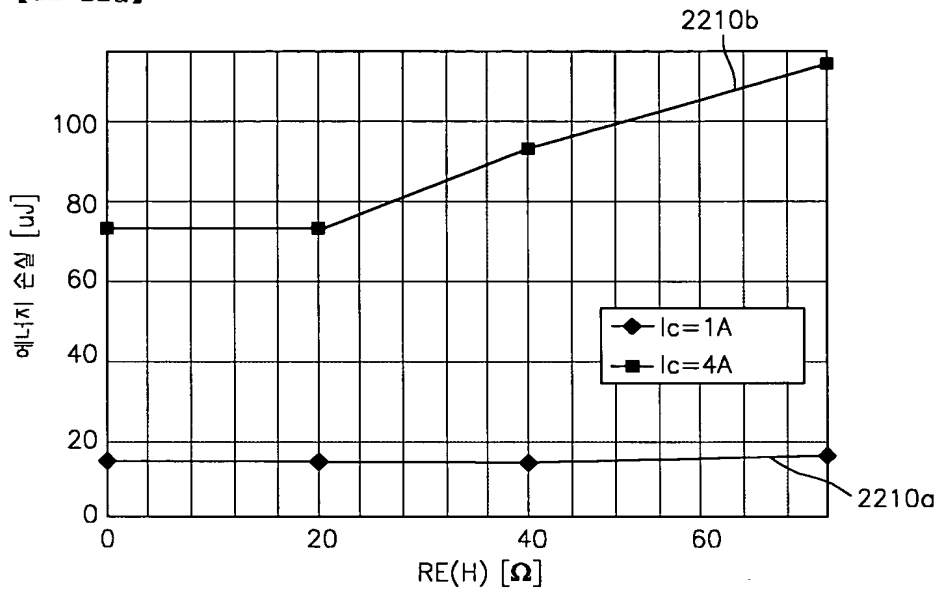
【도 21a】



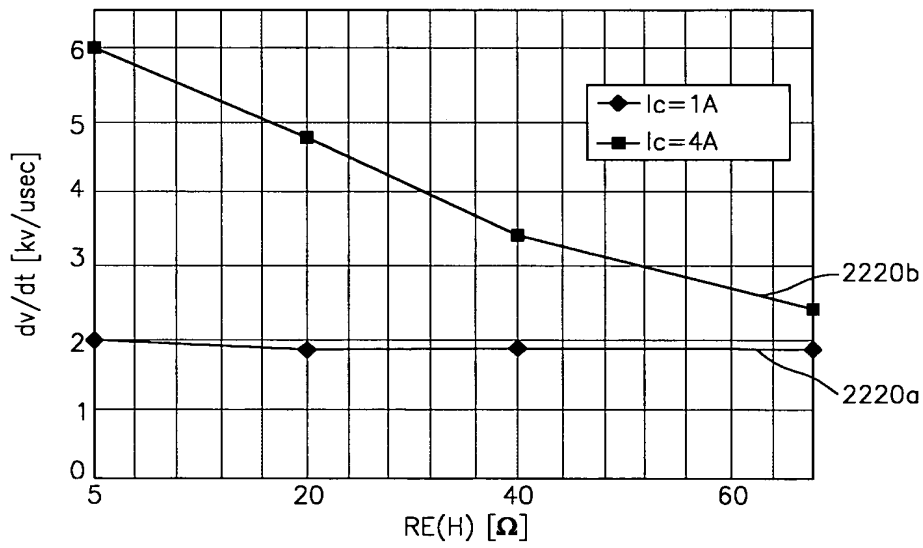
【도 21b】



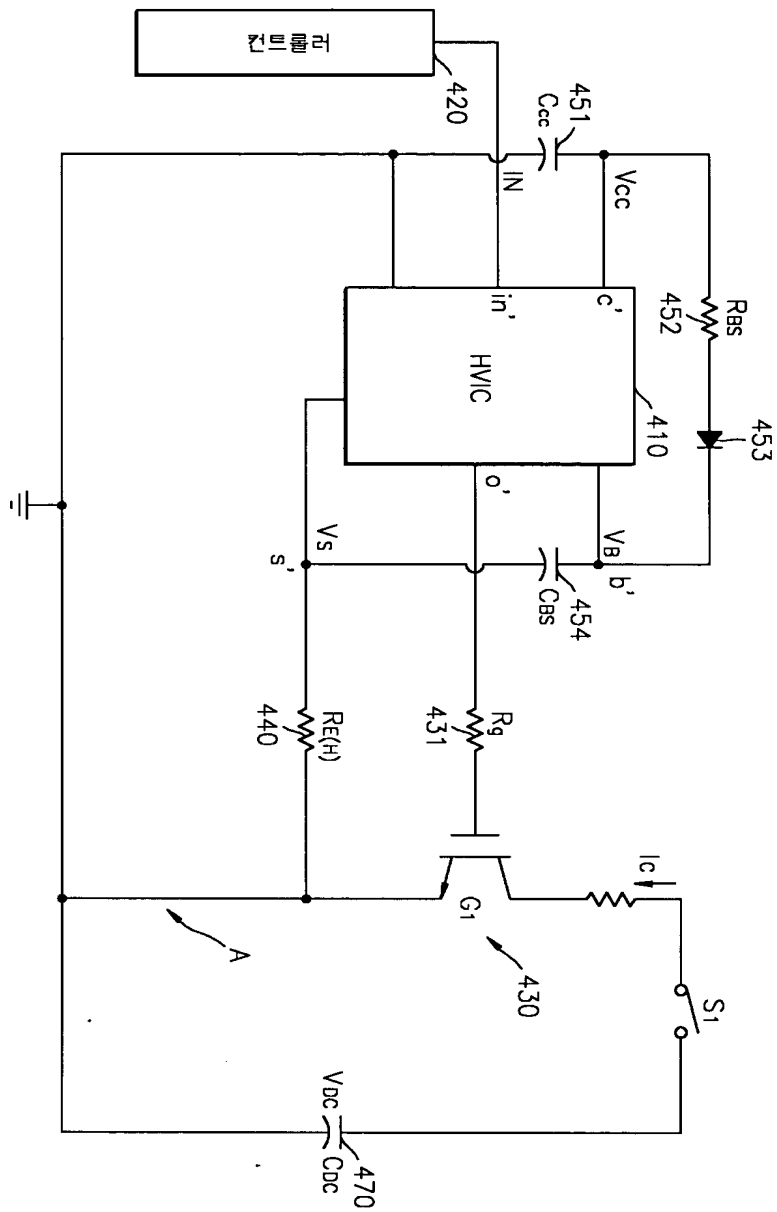
【도 22a】



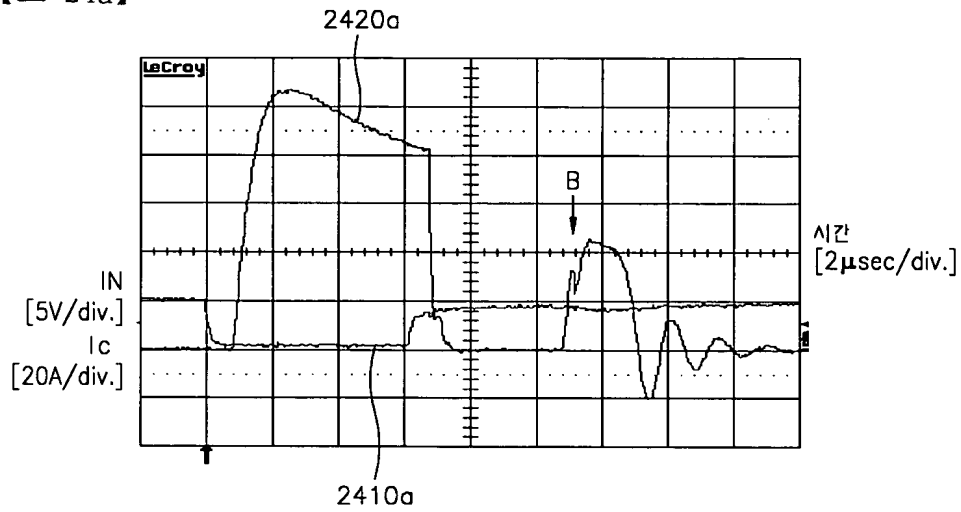
【도 22b】



【도 23】



【도 24a】



【도 24b】

